

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-122747

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

G02F 1/133

G09G 3/36

H04N 5/66

(21)Application number : 06-263753

(71)Applicant : NEC CORP

(22)Date of filing : 27.10.1994

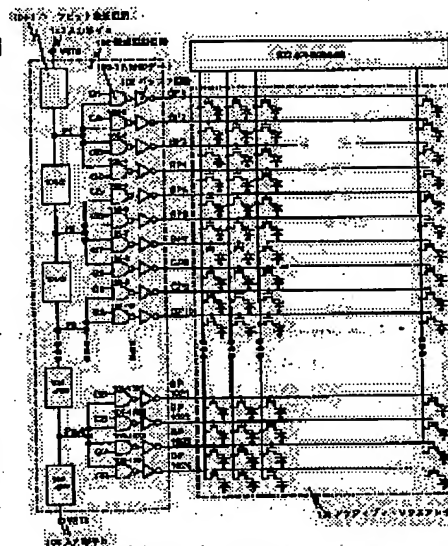
(72)Inventor : ASADA HIDEKI
OZAWA KAZUNORI
FUKUMORI HIROYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To attain the miniaturization and cost reduction of a liquid crystal display device in accordance with a personal computer, a work station and a television, etc., with various kinds of scanning systems and picture elements.

CONSTITUTION: This device is equipped with a vertical driving circuit 102 consisting of a scanning circuit 104 of half bit constitution, a NAND gate circuit 105 controlled by the output signal and control signal of the circuit 104 and an output buffer circuit 106. The output of the scanning circuit is connected to four NAND gate circuits, and also, different control signals for adjacent eight NAND gate circuits are provided. The driving method of this liquid crystal display device is performed in such a way that upper and lower black display write is performed by transferring, holding and sweeping scanning line selection data at high speed by modulating the clock frequency of the scanning circuit during a blanking period, and selecting a scanning line to perform black write in a holding period.



LEGAL STATUS

[Date of request for examination]

27.10.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2625389

[Date of registration]

11.04.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at the intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives said scanning line, and a level drive circuit which drives said signal line N stage (N is positive integer) scanning circuit where a clock signal carries out a half period [every] sequential shift, and said vertical-drive circuit outputs a pulse signal, Common connection of each 1st control terminal is made at every M piece (M is two or more integers). The logic-gate circuit of an individual (NxM) where the 1st control terminal by which common connection was made was connected to the output terminal of N individual of said scanning circuit, respectively, and common connection of each 2nd control terminal was made every individual (2xM-1), The liquid crystal display characterized by consisting of output-buffer circuits which make an input signal the output signal of said logic-gate circuit.

[Claim 2] When a scanning-line selection period is set to T in the approach of driving a liquid crystal display according to claim 1, The clock signal whose period is (2xMxT) is inputted into said scanning circuit. (2xMxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual To the 2nd control terminal G1 and G2 of an individual (2xM) of the logic-gate circuit of the aforementioned (NxM) individual, G3, ..., G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (One+Mx (K-1)) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — < (t1-t0) — < (2xMxT) (/2) — to the timing to which relation is materialized The drive approach of the liquid crystal display characterized by inputting and driving the pulse signal of the aforementioned (2xM) individual.

[Claim 3] When a scanning-line selection period is set to T in the approach of driving a liquid crystal display according to claim 1, The clock signal whose period is (2xMxT) is inputted into said scanning circuit. (2xMxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual To the 2nd control terminal G1 and G2 of an individual (2xM) of the logic-gate circuit of the aforementioned (NxM) individual, G3, ..., G (2xM) the time of day which inputs into respectively reverse sequence, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (MxK) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — < (t1-t0) — < (2xMxT) (/2) — to the timing to which relation is materialized The drive approach of the liquid crystal display characterized by inputting and driving the pulse signal of the aforementioned (2xM) individual.

[Claim 4] When a scanning-line selection period is set to T in the approach of driving a liquid crystal display according to claim 1, The clock signal whose period is (MxT) is inputted into said scanning circuit. Pulse width T, A pulse period the pulse signals A1, A2, ..., A (M) in which (MxT) and a phase carried out the sequential shift every [T] and which are M different pieces To the 2nd control terminal G1 and G2 of an individual (2xM) of the logic-gate circuit of the aforementioned (NxM) individual, G3, G4 and ..., and G (2xM-1) and G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (One+Mx (K-1)) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — < (t1-t0) — < (MxT) (/2) — to the timing to which relation is materialized The drive approach of the liquid crystal display characterized by inputting and driving said M pulse signals.

[Claim 5] When a scanning-line selection period is set to T in the approach of driving a liquid crystal display

according to claim 1, The clock signal whose period is $((M \times T)/2)$ is inputted into said scanning circuit. $((M \times T)/2)$ and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. The pulse signals A1, A2, ..., A (M/2) of a different (M/2) individual To the 2nd control terminal G1-G4 of an individual (2xM) of the logic-gate circuit of the aforementioned (NxM) individual, G5-G8, ..., G (2xM-3)-G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (One+Mx (K-1)) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — $< (t1-t0) < (M \times T) (/4)$ — to the timing to which relation is materialized The drive approach of the liquid crystal display characterized by inputting and driving the pulse signal of the aforementioned (M/2) individual.

[Claim 6] When a scanning-line selection period is set to T in the approach of driving a liquid crystal display according to claim 1, Input into said scanning circuit the clock signal whose period is (MxT), and it sets in the odd number field. (MxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. M different pulse signals A1, A2, ..., A (M) The inside of the logic-gate circuit of the aforementioned (NxM) individual, To the 2nd control terminal G1 of the odd-numbered logic-gate circuit, G3, and G5, ..., G (2xM-1) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (One+Mx (K-1)) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — $< (t1-t0) < (M \times T) (/2)$ — to the timing to which relation is materialized Input said M pulse signals and it sets in the even number field. (MxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. M different pulse signals A1, A2, ..., A (M) The inside of the logic-gate circuit of the aforementioned (NxM) individual, For the 2nd control terminal G2, G4, G6, ..., G (2xM) of the even-numbered logic-gate circuit the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (Two+Mx (K-1)) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — $< (t1-t0) < (M \times T) (/2)$ — to the timing to which relation is materialized The drive approach of the liquid crystal display characterized by inputting and driving said M pulse signals.

[Claim 7] When a scanning-line selection period is set to T in the approach of driving a liquid crystal display according to claim 1, A clock period the clock signal which has the period modulated (J is a positive integer below M) in $((2xM-J) \times T)$ from $(2xM \times T)$ Input into said scanning circuit and a clock period sets at the period of $(2xM \times T)$. Pulse width the pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual in which T and a phase carried out the sequential shift every [T] In the period when the clock period was modulated by $((2xM-J) \times T)$ Pulse width the pulse signals A1, A2, ..., A (2xM) in which the phase carried out the sequential shift every [T] except for T and J places To the 2nd control terminal G1 and G2 of an individual (2xM) of the logic-gate circuit of the above (NxM individual), G3, ..., G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (One+Mx (K-1)) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — $< (t1-t0) < (2xM \times T) (/2)$ — to the timing to which relation is materialized The drive approach of the liquid crystal display characterized by inputting and driving the pulse signal of the aforementioned (2xM) individual.

[Claim 8] In the approach of driving a liquid crystal display according to claim 1, it sets at a blanking period. The 1st period which inputs the clock signal of a predetermined period into said scanning circuit, and carries out the sequential shift of the pulse signal, At the 1st period Then, the 2nd period which fixes the level of a clock signal and makes regularity level of the output signal of said scanning circuit, Following the 2nd period, input the clock signal of a predetermined period into said scanning circuit, and the 3rd period which carries out a sequential shift exists, and said pulse signal is set at said 1st and 3rd period. The output of said scanning circuit sets the signal which is not reflected in the output of said logic-gate circuit at said 2nd period. The drive approach of a liquid crystal display that the output of said scanning circuit is characterized by inputting into the 2nd control terminal of said logic-gate circuit the signal reflected in the output of said logic-gate circuit, and driving it.

[Claim 9] In the approach of driving a liquid crystal display according to claim 1, it sets at a blanking period. The 1st period which inputs the clock signal of a predetermined period into said scanning circuit, and carries out the sequential shift of the pulse signal, At the 1st period Then, the 2nd period which fixes the level of said clock signal and makes regularity level of the output signal of said scanning circuit, At the 2nd period Then, the 3rd

period to which the level of said fixed clock signal is switched, and 1 ***** of said pulse signal is carried out, At the 3rd period Then, the 4th period which fixes the level of said clock signal and makes regularity level of the output signal of said scanning circuit, The clock signal of a predetermined period is inputted into said scanning circuit following the 4th period. The 5th period which carries out the sequential shift of said pulse signal exists, and it sets at said 1st, 3rd, and 5th period. The output of said scanning circuit sets the signal which is not reflected in the output of said logic-gate circuit at said 2nd and 4th period. The drive approach of a liquid crystal display that the output of said scanning circuit is characterized by inputting into the 2nd control terminal of said logic-gate circuit the signal reflected in the output of said logic-gate circuit, and driving it in one of the periods of the 2nd and 4th period at least.

[Claim 10] In the approach of driving a liquid crystal display according to claim 1, it sets at a blanking period. The frequency of the clock signal inputted into said scanning circuit is modulated in a frequency higher than during an image write-in period. The drive approach of a liquid crystal display that a pulse signal is transmitted and the output of said scanning circuit is characterized by inputting into the 2nd control terminal of said logic-gate circuit the signal reflected in the output of said logic-gate circuit, and driving it during the transfer period.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active matrix liquid crystal display used for a display, a projector, television, etc., and its drive approach.

[0002]

[Description of the Prior Art] The liquid crystal display which can be equivalent to various personal computers (it is hereafter described as PC) with which a picture frequency and the number of pixels differ from a scanning mode, a workstation (it is hereafter described as WS), television, etc. is increasingly required towards multimedia age.

[0003] In order to make it correspond to PC, WS, etc., it is necessary to hold the progressive broadcasting method of odd lines scanned in order regardless of even lines. On the other hand, in order to correspond to the present television and Hi-Vision, according to the signal sent, it is necessary to perform the interlace drive which scans the pixel of odd lines sequentially in the odd number field, and scans the pixel of even lines sequentially in the even number field. Furthermore, in the odd number field, no less than the following even lines are scanned to odd lines and coincidence, the same signal is written in, and in the even number field, since the method (two-line coincidence drive) which scans no less than the following odd lines to even lines and coincidence at coincidence, and writes the same signal in them is taken, the liquid crystal display which can respond to this is called for.

[0004] Moreover, a liquid crystal display which can carry out and carry out the enlarged display of the image of the number of pixels smaller than the number of pixels which a liquid crystal display has horizontally [twice as many as this / length and horizontally / each] is desired. For example, in the length of 1024 lines, and the liquid crystal display beside 1280 lines, when displaying the length of 480 lines, and the image beside 640 lines, it is [having expanded horizontally / twice as many as this / length and horizontally / each /, and having made it display legible / direction / using the length of 960 lines and the side of 1280 lines] efficient. Furthermore, when displaying the length of 600 lines, and the image beside 800 lines, expanding horizontally [1.6 times as many as this / length and horizontally / each], and displaying an image using the length of 960 lines and the side of 1280 lines is also examined. Moreover, it is required for a graphic display field to be also freely movable.

[0005] In displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has, in order to make the black display the pixel of the upper and lower sides in which it remained outside the graphic display field, or right and left, it is necessary to perform the black display writing of the pixel during a blanking period.

[0006] In recent years, it is necessary to carry out [in the liquid crystal projector to which spread is progressing as a big screen display and a display for presentations] mirroring of the image about one panel among the liquid crystal displays of three sheets corresponding to red, green, and blue from the difference between reflection and the count of bending of the light which passed the liquid crystal display. Furthermore, the flexible liquid crystal display which can respond to front projection, rear projection, every floor, and ***** is called for with one liquid crystal projector equipment. For this reason, it is required that both the scanning circuits that constitute a vertical-drive circuit and a level drive circuit can be scanned bidirectionally.

[0007] A liquid crystal display which can include all of a scanning mode which was explained above, an enlarged display, migration, black display writing, and a bidirectional scan is strongly desired as a liquid crystal display of multimedia age by which it comes. Hereafter, such a liquid crystal display is described as a multi-sink liquid crystal display.

[0008] On the other hand, the miniaturization of a liquid crystal display and low cost-ization are aimed at, and development of the technique of integrating a circumference drive circuit is progressing on the same substrate as a liquid crystal display. A circumference drive circuit is divided into the vertical-drive circuit which scans the gate of the thin film transistor which forms a active-matrix array, and the level drive circuit which supplies a picture signal to a pixel.

[0009] With the specific scanning mode, when displaying the image of the specific number of pixels, the shift register circuit is used as a scanning circuit used for a level drive circuit. However, when a shift register circuit is used, it is difficult to realize the multi-sink liquid crystal display which could not perform black display writing but was previously described during the blanking period from the limitation of circuit speed, and the limitation of the write-in frequency of a data signal.

[0010] The address decoder is used for the vertical-drive circuit of current and a multi-sink liquid crystal display. Drawing 11 R> 1 is drawing showing the configuration of the conventional liquid crystal display which used the address decoder. As shown in drawing, the liquid crystal display consists of a active-matrix array 1101 which displays an image, a vertical-drive circuit 1102, and a level drive circuit 1103. The control signal for choosing the scanning line is inputted into the address decoder 1104 two or more.

[0011] Drawing 12 is drawing showing an example of the conventional drive approach of a liquid crystal display which used the address decoder for the vertical-drive circuit. Here, the example of sequential scanning is shown. Moreover, a level drive circuit shall be a circuit corresponding to a multi-sink liquid crystal display. Moreover, the number of the scanning lines is made into 1024, and the number of control signals becomes 20 of A0 /1, ..., A9, and /A9 in that case. [A0 (/ expresses the reversal to logical level), A1/A1] As shown in drawing, in the image write-in period, the clock signal is inputted into a control signal A0 /1, ..., A9, and /A9, and the clock period (i is the integers from 0 to 9) of A (i+1) is twice the clock period of Ai. [A0, A1/A1] By inputting such a control signal, the signal which scans the scanning lines GP1, GP2, ..., GP1024 sequentially can be acquired.

[0012] If an address decoder is used, with the combination of the logical level of a control signal, the scanning line of arbitration can be chosen as one and two or more can be chosen as coincidence. Therefore, an interlace scan besides sequential scanning shown in drawing 12 and a two-line coincidence drive can also be performed easily. Moreover, it can respond also to migration of an enlarged display and a viewing area, and a bidirectional scan. Furthermore, since the scanning line of a pixel to perform black display writing during a perpendicular blanking period can be chosen as coincidence, the sufficiently long time amount of up-and-down black display writing can be taken. The address decoder is used for the vertical-drive circuit of a multi-sink liquid crystal display for these reasons.

[0013]

[Problem(s) to be Solved by the Invention] As shown in drawing 12, the address decoder is used for the conventional multi-sink liquid crystal display in the vertical-drive circuit. However, since the number of the control lines increases while the number of the scanning lines increases in the case of an address decoder, problems, such as that a liquid crystal display module becomes large and becoming cost quantity, arise. For example, when the number of the scanning lines is 1024, 20 control terminals are needed. When the number of the scanning lines furthermore exceeds 1024, 22 control terminals are needed.

[0014] Moreover, an address decoder has many control signals in this way, and it also has the problem of being

easy to generate a noise in an output signal by the noise between control signals, or gap of timing in order to choose the address with the combination of the logical level of a control signal.

[0015] On the other hand, although the number of a clock signal terminal required of the liquid crystal display which used the shift register for the vertical-drive circuit since a shift register is driven, and input signal terminals ends regardless of the number of the scanning lines about three in all, as stated previously; it cannot respond to a multi-sink liquid crystal display from the limitation of circuit speed with a shift register.

[0016] The purpose of this invention is to offer small [which can reduce sharply the number of the control signal terminals for driving a vertical-drive circuit compared with an address decoder, and a noise does not generate in an output signal], and the multi-sink liquid crystal display and its drive approach of low cost, in order to solve the above-mentioned trouble.

[0017]

[Means for Solving the Problem] The active-matrix array by which the switching element has been arranged at the intersection with the signal line of two or more scanning lines and plurality, [invention / 1st] In the liquid crystal display which consists of a vertical-drive circuit which drives said scanning line, and a level drive circuit which drives said signal line N stage (N is positive integer) scanning circuit where a clock signal carries out a half period [every] sequential shift, and said vertical-drive circuit outputs a pulse signal, Common connection of each 1st control terminal is made at every M piece (M is two or more integers). The logic-gate circuit of an individual (NxM) where the 1st control terminal by which common connection was made was connected to the output terminal of N individual of said scanning circuit, respectively, and common connection of each 2nd control terminal was made every individual (2xM-1). It is characterized by consisting of output-buffer circuits which make an input signal the output signal of said logic-gate circuit.

[0018] 2nd invention is characterized by said logic-gate circuit being 2 input NAND circuit in the liquid crystal display of the 1st invention.

[0019] 3rd invention is characterized by equipping said scanning circuit with a means to shift a pulse signal bidirectionally in the liquid crystal display of the 1st or the 2nd invention.

[0020] 4th invention is characterized by the value of the number M of the logic-gate circuit where common connection of the 1st control terminal was made being four or more in the liquid crystal display of the 1st or the 3rd invention.

[0021] The 5th invention is set to the 1st, 2, or the drive approach of the liquid crystal display the 3rd invention. When a scanning-line selection period is set to T, the clock signal whose period is (2xMxT) is inputted into said scanning circuit. (2xMxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual To the 2nd control terminal G1 and G2 of an individual (2xM) of the logic-gate circuit of the aforementioned (NxM) individual, G3, ..., G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (One+Mx(K-1)) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — < (t1-t0) — < (2xMxT) (/2) — to the timing to which relation is materialized It is characterized by inputting and driving the pulse signal of the aforementioned (2xM) individual.

[0022] When the 6th invention sets a scanning-line selection period to T in the drive approach of the liquid crystal display the 3rd invention, The clock signal whose period is (2xMxT) is inputted into said scanning circuit. (2xMxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual To the 2nd control terminal G1 and G2 of an individual (2xM) of the logic-gate circuit of the aforementioned (NxM) individual, G3, ..., G (2xM) the time of day which inputs into respectively reverse sequence, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t0 and its time of day t0 — then (MxK) the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t1 time of day which cuts and changes — 0 — < (t1-t0) — < (2xMxT) (/2) — to the timing to which relation is materialized It is characterized by inputting and driving the pulse signal of the aforementioned (2xM) individual.

[0023] The 7th invention is set to the 1st, 2, or the drive approach of the liquid crystal display the 3rd invention. When a scanning-line selection period is set to T, the clock signal whose period is (MxT) is inputted into said scanning circuit. (MxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. M different pulse signals A1, A2, ..., A (M) The logic-gate circuit of the aforementioned (NxM) individual, (TwoxM) To the 2nd control terminal G1 and G2 of an individual, G3, G4 and ..., and G (2xM-1) and G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K

is a positive integer) of said scanning circuit — t_0 and its time of day t_0 — then $(One+Mx (K-1))$ the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t_1 time of day which cuts and changes — $0 — < (t_1-t_0) — < (MxT) (/2) —$ to the timing to which relation is materialized It is characterized by inputting and driving said M pulse signals.

[0024] When the 8th invention sets a scanning-line selection period to T in the drive approach of the liquid crystal display the 4th invention, The clock signal whose period is $((MxT)/2)$ is inputted into said scanning circuit. $((MxT)/2)$ and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. The pulse signals A1, A2, ..., A (M/2) of a different (M/2) individual To the 2nd control terminal G1-G4 of an individual (2xM) of the logic-gate circuit of the aforementioned (NxM) individual, G5-G8, ..., G (2xM-3)-G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t_0 and its time of day t_0 — then $(One+Mx (K-1))$ the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t_1 time of day which cuts and changes — $0 — < (t_1-t_0) — < (MxT) (/4) —$ to the timing to which relation is materialized It is characterized by inputting and driving the pulse signal of the aforementioned (M/2) individual.

[0025] The 9th invention is set to the 1st, the 2nd, or the drive approach of the liquid crystal display the 3rd invention. When a scanning-line selection period is set to T, input into said scanning circuit the clock signal whose period is (MxT), and it sets in the odd number field. (MxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. M different pulse signals A1, A2, ..., A (M) The inside of the logic-gate circuit of the aforementioned (NxM) individual, To the 2nd control terminal G1 of the odd-numbered logic-gate circuit, G3, and G5, ..., G (2xM-1) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t_0 and its time of day t_0 — then $(One+Mx (K-1))$ the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t_1 time of day which cuts and changes — $0 — < (t_1-t_0) — < (MxT) (/2) —$ to the timing to which relation is materialized Input said M pulse signals and it sets in the even number field. (MxT) and a phase carried out [pulse width / T and a pulse period] the sequential shift every [T]. M different pulse signals A1, A2, ..., A (M) The inside of the logic-gate circuit of the aforementioned (NxM) individual, For the 2nd control terminal G2, G4, G6, ..., G (2xM) of the even-numbered logic-gate circuit the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t_0 and its time of day t_0 — then $(Two+Mx (K-1))$ the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t_1 time of day which cuts and changes — $0 — < (t_1-t_0) — < (MxT) (/2) —$ to the timing to which relation is materialized It is characterized by inputting and driving said M pulse signals.

[0026] The 10th invention is set to the 1st, the 2nd, or the drive approach of the liquid crystal display the 3rd invention. When a scanning-line selection period is set to T, a clock period from $(2xMxT)$. Input into said scanning circuit the clock signal which has the period modulated. (J is a positive integer below M) in $((2xM-J) xT)$, and a clock period sets it at the period of $(2xMxT)$. Pulse width the pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual in which T and a phase carried out the sequential shift every [T] In the period when the clock period was modulated by $((2xM-J) xT)$ The pulse signals A1 and A2, ... in which the phase carried out [pulse width] the sequential shift every [T] except for T and J places, A (2xM) to the 2nd control terminal G1 and G2 of an individual (2xM) of the logic-gate circuit of the above (NxM individual), G3, ..., G (2xM) the time of day which inputs in order, respectively, and cuts and changes the logical level of the Kth output signal (K is a positive integer) of said scanning circuit — t_0 and its time of day t_0 — then $(One+Mx (K-1))$ the case where the logical level of the pulse signal inputted into the 2nd control terminal of the logic-gate circuit of eye watch sets to t_1 time of day which cuts and changes — $0 — < (t_1-t_0) — < (2xMxT) (/2) —$ to the timing to which relation is materialized It is characterized by inputting and driving the pulse signal of the aforementioned (2xM) individual.

[0027] The 11th invention is set to the 1st, the 2nd, or the drive approach of the liquid crystal display the 3rd invention. The 1st period which inputs the clock signal of a predetermined period into said scanning circuit, and carries out the sequential shift of the pulse signal in a blanking period, At the 1st period Then, the 2nd period which fixes the level of a clock signal and makes regularity level of the output signal of said scanning circuit, Following the 2nd period, input the clock signal of a predetermined period into said scanning circuit, and the 3rd period which carries out a sequential shift exists, and said pulse signal is set at said 1st and 3rd period. The output of said scanning circuit is characterized by inputting into the 2nd control terminal of said logic-gate circuit the signal with which the output of said scanning circuit is reflected in the output of said logic-gate circuit in said 2nd period in the signal which is not reflected in the output of said logic-gate circuit, and driving it.

[0028] The 12th invention is set to the 1st, the 2nd, or the drive approach of the liquid crystal display the 3rd invention. The 1st period which inputs the clock signal of a predetermined period into said scanning circuit, and carries out the sequential shift of the pulse signal in a blanking period, At the 1st period Then, the 2nd period which fixes the level of said clock signal and makes regularity level of the output signal of said scanning circuit, At the 2nd period Then, the 3rd period to which the level of said fixed clock signal is switched, and 1 ***** of said pulse signal is carried out, At the 3rd period Then, the 4th period which fixes the level of said clock signal and makes regularity level of the output signal of said scanning circuit, The clock signal of a predetermined period is inputted into said scanning circuit following the 4th period. The 5th period which carries out the sequential shift of said pulse signal exists, and it sets at said 1st, 3rd, and 5th period. The output of said scanning circuit sets the signal which is not reflected in the output of said logic-gate circuit at said 2nd and 4th period. In one of the periods of the 2nd and 4th period, the output of said scanning circuit is characterized by inputting into the 2nd control terminal of said logic-gate circuit the signal reflected in the output of said logic-gate circuit, and driving it at least.

[0029] The 13th invention is set to the 1st, the 2nd, or the drive approach of the liquid crystal display the 3rd invention. In a blanking period, the frequency of the clock signal inputted into said scanning circuit is modulated in a frequency higher than during an image write-in period. A pulse signal is transmitted and the output of said scanning circuit is characterized by inputting into the 2nd control terminal of said logic-gate circuit the signal reflected in the output of said logic-gate circuit, and driving it during the transfer period.

[0030]

[Example] Below, the liquid crystal display of this invention and the example of the drive approach are explained at a detail.

[0031] Drawing 1 is drawing showing one example of the liquid crystal display of this invention. The liquid crystal display consists of a active-matrix array 101 constituted by arranging a thin film transistor at the intersection of the scanning line and a signal line, a vertical-drive circuit 102 which drives the scanning line, and a level drive circuit 103 which drives a signal line. The number of the scanning lines is made into 1024 in this example. The vertical-drive circuit 102 of the liquid crystal display of this example The 256-step scanning circuit 104-1 to 104-257 of the half bit pattern which carries out the sequential shift of the pulse signal inputted from the input terminal a107 or the input terminal b108 synchronizing with a clock signal as shown in drawing, Each output signals P1, P2, ..., P256 of the half bit pattern scanning circuit 104-1 to 104-257; It consists of a NAND gate circuit 105-1 to 105-1024 which makes an input signal control signals G1, G2, ..., G8, and an output-buffer circuit 106 which makes an input signal each output signal of the NAND gate circuit. To each output of the half bit pattern scanning circuit 104-1 to 104-257, four NAND gate circuits are connected and it has been the description that all of the control signal of eight adjoining NAND gate circuits differ.

[0032] Moreover, the scanning circuit 104-1 to 104-257 of a half bit pattern has composition in which a bidirectional scan is possible. When scanning to an one direction, when scanning to hard flow, a pulse signal is inputted from an input terminal b108 from an input terminal a107.

[0033] The circuit driven with the clock signal of two phases is used for the half bit pattern scanning circuit 104-1 to 104-257. Therefore, the number of driving signals required to drive the half bit pattern scanning circuit 104-1 to 104-257 becomes a total of four of two clock signals and two input signals also including the pulse signal inputted when scanning to hard flow. Furthermore, the control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024 are added, and the number of the driving signals inputted into a vertical-drive circuit has become a total of 12 pieces. The number of these driving signals does not change, even when the number of signal lines exceeds 1024. On the other hand, when the address decoder used conventionally is applied to a vertical-drive circuit, as stated previously, the number of control signals becomes 20 pieces. That is, in the liquid crystal display of this example, the number of the driving signal terminals of a vertical-drive circuit is conventional three fifths. Moreover, when the number of the scanning lines exceeds 1024, the number of the control signals of an address decoder becomes 22 pieces, and the number of the driving signal terminals of the vertical-drive circuit of this example serves as the conventional abbreviation half.

[0034] Although it has the composition of making the number of stages of a half bit pattern scanning circuit into 256 steps, inputting each of that output into four NAND gate circuits, and driving the 1024 scanning lines, in this example, the number of stages of a half bit pattern scanning circuit is made into 512 steps, and each of that output may be inputted into two NAND gate circuits, and you may make it the configuration which drives the 1024 scanning lines. In that case, although ***** [the number of the control signals of a NAND gate circuit / eight] still, it is also possible to make it four pieces. Moreover, in this example, although the NAND gate circuit 105-1 to

105-1024 is used, you may replace in a NOR-gate circuit. In that case, in the output signals P1-P256 of the half bit pattern scanning circuit 104-1 to 104-257 in this example, logical level needs to input an opposite signal into a NOR-gate circuit, and needs to transpose an output-buffer circuit to a normal rotation buffer circuit.

[0035] Drawing 2 is drawing showing the 1st example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach in the case of scanning sequentially using the liquid crystal display shown in drawing 1. Hereafter, the drive approach is explained using drawing 2.

[0036] First, a clock period inputs to the timing the clock signal (T is a scanning-line selection period) CLK of $(8 \times T)$ and the pulse width from an input terminal a107 indicate the input pulse signal VSTa of $(8 \times T)$ to be at drawing 2, synchronizes the input pulse signal to a clock signal, and carries out a sequential shift in the half bit pattern scanning circuit 104-1 to 104-257. Thereby, as each output signals P1-P256 of the half bit pattern scanning circuit 104-1 to 104-257, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every $(4 \times T)$ sequential shift by $(8 \times T)$ is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, pulse width inputs to the timing to which T and a pulse period show in drawing the pulse signal in which $(8 \times T)$ and a phase carried out the sequential shift every [T] as control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024. Consequently, the pulse signal T and a phase carried out [the pulse signal / pulse width] the sequential shift every [T] is obtained as output signals GP1-GP1024 of the output-buffer circuit 106. The signal when scanning sequentially, as it explained above can be taken out.

[0037] In this example, only $(2 \times T)$ has delayed the timing to which the control signal G1 inputted into NAND gate circuit 105- $(1 + 8 \times (N - 1))$ starts to the timing of the output signal P of a half bit pattern scanning circuit $(2 \times N - 1)$ which starts (N is 128 or less positive integer). By inputting control signals G1-G8 to such timing, the noise which appears in an output signal with a cross talk can be erased completely. on the other hand — since the output signal of a vertical-drive circuit falls when the timing to which the output signal P of a half bit pattern scanning circuit $(2 \times N - 1)$ starts, and the timing to which the control signal G1 inputted into NAND gate circuit 105- $(1 + 8 \times (N - 1))$ starts are made in agreement $(7 \times T)$ — only — in the elapsed time of day, a noise may occur in the output signal.

[0038] Drawing 3 is drawing showing the 2nd example of the drive approach of the liquid crystal display of this invention. Although this example shows an example of the drive approach in the case of scanning sequentially like the 1st example of the drive approach using the liquid crystal display shown in drawing 1, it differs from the 1st example at the point which scans a active-matrix array to hard flow. Hereafter, the drive approach is explained using drawing 3.

[0039] First, a clock period inputs into the half bit pattern scanning circuit 104-1 to 104-257 to the timing which shows the input pulse signal VSTb of $(8 \times T)$ to drawing 3, and synchronizes the input pulse signal with it to a clock signal, and the clock signal (T is a scanning-line selection period) CLK of $(8 \times T)$ and the pulse width from an input terminal b108 are sequence contrary to the 1st example, and carry out a sequential shift this shows in drawing as each output signals P1-P256 of the half bit pattern scanning circuit 104-1 to 104-257 — as — pulse width — $(8 \times T)$ — every [a phase] — $(4 \times T)$ the pulse signal which carried out the sequential shift is outputted in reverse sequence. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, pulse width inputs the pulse signal which carried out the sequential shift every [T] in the sequence that $(8 \times T)$ and a phase have reverse T and pulse period to the timing shown in drawing as control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024. consequently — as the output signals GP1-GP1024 of the output-buffer circuit 106 — pulse width — T — a phase — every [T] — the pulse signal which carried out the sequential shift is obtained in reverse sequence. As it explained above, the signal when scanning to hard flow can be taken out.

[0040] In this example, only $(2 \times T)$ has delayed the timing to which the control signal G8 inputted into NAND gate circuit 105- $(8 \times N)$ starts to the timing of the output signal P of a half bit pattern scanning circuit $(2 \times N)$ which starts (N is 128 or less positive integer). By inputting control signals G1-G8 to such timing, the noise which appears in an output signal with a cross talk can be erased completely. on the other hand — since the output signal of a vertical-drive circuit falls when the timing to which the output signal P of a half bit pattern scanning circuit $(2 \times N)$ starts, and the timing to which the control signal G8 inputted into NAND gate circuit 105- $(8 \times N)$ starts are made in agreement $(7 \times T)$ — only — when it passes, a noise may occur in the output signal.

[0041] Drawing 4 is drawing showing the 3rd example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach in the case of expanding an image horizontally

[twice as many as this / length and horizontally / each] using the liquid crystal display shown in drawing 1 . In order to carry out and double the enlarged display of the lengthwise direction of an image, and the longitudinal direction, it is required to scan the scanning line of two lines at a time and to supply the same video signal to two adjoining signal lines. The drive approach for it is explained using drawing 4 .

[0042] First, a clock period inputs to the timing the clock signal (T is a scanning-line selection period) CLK of $(4xT)$ and the pulse width from an input terminal a107 indicate the input pulse signal VSTa of $(4xT)$ to be at drawing 4 , synchronizes the input pulse signal to a clock signal, and carries out a sequential shift in the half bit pattern scanning circuit 104-1 to 104-257. Thereby, as each output signals P1-P256 of the half bit pattern scanning circuit 104-1 to 104-257, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every $(2xT)$ sequential shift by $(4xT)$ is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, pulse width inputs the pulse signal which is four kinds in which $(4xT)$ and a phase carried out [T and a pulse period] the sequential shift every [T] for G3, G4 and G5, and G6, G7 and G8 to the timing which carries out in common, respectively and is shown in drawing as a control signal of the NAND gate circuit 105-1 to 105-1024. [G1 G2,] Consequently, the pulse signal which it scans two lines at a time sequentially is obtained as output signals GP1-GP1024 of the output-buffer circuit 106. On the other hand, the function which supplies the same video signal to adjoining two lines is prepared in the level drive circuit used by this example. The enlarged display of the image can be turned sideways [twice as many as this / length and sideways / each] using the drive approach explained above.

[0043] Moreover, in the odd number field, it is possible by applying this example to perform easily the two-line coincidence drive which scans no less than the following even lines to odd lines and coincidence, writes in the same signal, scans to even lines and coincidence at coincidence, and writes the same signal of no less than the following odd lines in them in the even number field.

[0044] In this example, only T has delayed the timing to which the control signal G1 which the output signal P of a half bit pattern scanning circuit $(2xN-1)$ inputs into NAND gate circuit 105- $(1+8x(N-1))$ to the timing which starts (N is 128 or less positive integer) starts. By inputting control signals G1-G8 to such timing, the noise which appears in an output signal with a cross talk can be erased completely. on the other hand — since the output signal of a vertical-drive circuit falls when the timing to which the output signal P of a half bit pattern scanning circuit $(2xN-1)$ starts, and the timing to which the control signal G1 inputted into NAND gate circuit 105- $(1+8x(N-1))$ starts are made in agreement $(3xT)$ — only — in the elapsed time of day, a noise may occur in the output signal.

[0045] Drawing 5 is drawing showing the 4th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach in the case of expanding an image horizontally [4 times as many as this / length and horizontally / each] using the liquid crystal display shown in drawing 1 . In order to carry out and increase the enlarged display of the lengthwise direction of an image, and the longitudinal direction 4 times, it is possible to scan the scanning line of four lines at a time and to supply the same video signal to four adjoining signal lines. The drive approach for it is explained using drawing 5 .

[0046] First, a clock period inputs to the timing the clock signal (T is a scanning-line selection period) CLK of $(2xT)$ and the pulse width from an input terminal a107 indicate the input pulse signal VSTa of $(2xT)$ to be at drawing 5 , synchronizes the input pulse signal to a clock signal, and carries out a sequential shift in the half bit pattern scanning circuit 104-1 to 104-257. Thereby, as each output signals P1-P256 of the half bit pattern scanning circuit 104-1 to 104-257, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the sequential shift every [T] by $(2xT)$ is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, pulse width inputs two kinds of pulse signals to which $(2xT)$ and a phase shifted [T and a pulse period] only T for G1-G4, and G5-G8 to the timing which carries out in common, respectively and is shown in drawing 5 as a control signal of the NAND gate circuit 105-1 to 105-1024.

Consequently, the pulse signal which it scans four lines at a time sequentially is obtained as output signals GP1-GP1024 of an output-buffer circuit. On the other hand, the function which supplies the same video signal to adjoining four lines is prepared in the level drive circuit used by this example. The enlarged display of the image can be turned sideways [4 times as many as this / length and sideways / each] using the driving direction explained above.

[0047] This example has delayed the timing to which the control signal G1 which the output signal P of a half bit pattern scanning circuit $(2xN-1)$ inputs into NAND gate circuit 105- $(1+8x(N-1))$ to the timing which starts (N is

128 or less positive integer) starts only ($T/2$). By inputting control signals $G1-G8$ to such timing, the noise which appears in an output signal with a cross talk can be erased completely. On the other hand, when the timing to which the output signal P of a half bit pattern scanning circuit ($2xN-1$) starts, and the timing to which the control signal $G1$ inputted into NAND gate circuit $105-(1+8x(N-1))$ starts are made in agreement, after the output signal of a vertical-drive circuit falls, in the time of day when only T passed, a noise may occur in the output signal.

[0048] Drawing 6 is drawing showing the 5th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach for performing an interlace drive using the liquid crystal display shown in drawing 1. In order to perform an interlace drive, in the odd number field, it is required to make sequential selection of the odd-numbered scanning line, and to make sequential selection of the even-numbered scanning line in the even number field. The drive approach for it is explained using drawing 6.

[0049] First, in the odd number field, a clock period inputs to the timing clock signal (T is scanning-line selection period) CLK of ($4xT$) and the pulse width from an input terminal $a107$ indicate the input pulse signal $VSTa$ of ($4xT$) to be at drawing 6, synchronizes the input pulse signal to a clock signal, and carries out a sequential shift in the half bit pattern scanning circuit $104-1$ to $104-257$. Thereby, as each output signals $P1-P256$ of the half bit pattern scanning circuit $104-1$ to $104-257$, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every ($2xT$) sequential shift by ($4xT$) is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, pulse width inputs as a control signal of a NAND gate circuit to the timing to which T and a pulse period show in drawing the pulse signal which is four kinds in which ($4xT$) and a phase carried out the sequential shift every [T] $G1$, $G3$, and $G5$ and $G7$. Consequently, the pulse signal which scans the odd-numbered scanning line sequentially is obtained as output signals $GP1-GP1024$ of the output-buffer circuit 106 .

[0050] Then, in the even number field, a clock period inputs to the timing the clock signal (T is a scanning-line selection period) CLK of ($4xT$) and the pulse width from an input terminal $a107$ indicate the input pulse signal $VSTa$ of ($4xT$) to be at drawing 6, synchronizes the input pulse signal to a clock signal; and carries out a sequential shift in the half bit pattern scanning circuit $104-1$ to $104-257$. Thereby, as each output signals $P1-P256$ of the half bit pattern scanning circuit $104-1$ to $104-257$, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every ($2xT$) sequential shift by ($4xT$) is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, pulse width inputs to the timing to which T and a pulse period show in drawing the pulse signal which is four kinds in which ($4xT$) and a phase carried out the sequential shift every [T] $G2$, $G4$, $G6$, and $G8$ as a control signal of the NAND gate circuit $105-1$ to $105-1024$. Consequently, the pulse signal which scans the even-numbered scanning line sequentially is obtained as output signals $GP1-GP1024$ of the output-buffer circuit 106 .

[0051] In this example, only T has delayed the timing to which the control signal $G1$ which the output signal P of a half bit pattern scanning circuit ($2xN-1$) inputs into NAND gate circuit $105-(1+8x(N-1))$ to the timing which starts (N is 128 or less positive integer) starts. Moreover, only T has delayed the timing to which the control signal $G5$ inputted into NAND gate circuit $105-(5+8x(N-1))$ starts to the timing to which the output signal P of a half bit pattern scanning circuit ($2xN$) starts. By inputting such timing control signals $G1-G8$, the noise which appears in an output signal with a cross talk can be erased completely. On the other hand, the timing to which the output signal P of a half bit pattern scanning circuit ($2xN-1$) starts, When the timing to which the control signal $G1$ inputted into NAND gate circuit $105-(1+8x(N-1))$ starts is made in agreement, Or the timing to which the output signal P of a half bit pattern scanning circuit ($2xN$) starts, since the output signal of a vertical-drive circuit falls when the timing to which the control signal $G5$ inputted into NAND gate circuit $105-(5+8x(N-1))$ starts is made in agreement ($3xT$) — only — in the elapsed time of day, a noise may occur in the output signal.

[0052] Drawing 7 is drawing showing the 6th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach for carrying out the enlarged display of the image for a free scale factor using the liquid crystal display shown in drawing 1. It is required while scanning one line at a time sequentially, in order to carry out the enlarged display of the image for free scale factors, such as 1.6 times, to carry out the coincidence scan of the two lines partially. Hereafter, the drive approach for it is explained using drawing 7.

[0053] First, as shown in drawing, a clock period inputs into the half bit pattern scanning circuit $104-1$ to $104-257$ to the timing the clock signal (T is a scanning-line selection period) CLK of ($7xT$) and the pulse width from an input terminal $a107$ indicate [a duty ratio] the input pulse signal $VSTa$ of ($7xT$) to be by three sevenths at

drawing 7 . Thereby, pulse width is outputted to the timing which the pulse signal of $(7 \times T)$ shows in drawing as an output signal P1 of the half bit scanning circuit 104-1. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, the pulse signal which carried out the sequential shift every $[T]$ except for the 3rd as pulse width showed T and a phase showed the period when the pulse signal P1 is outputted in drawing as control signals G1-G4 of the NAND gate circuit 105-1 to 105-1024 is inputted to the timing shown in drawing. Consequently, the pulse signal the phase carried out [the pulse signal / pulse width] the sequential shift every $[T]$ except for the 3rd by T as output signals GP1-GP4 of the output-buffer circuit 106 is obtained. Thus, the 2nd and the 3rd part of the scanning line can be chosen as coincidence.

[0054] Then, as shown in drawing, a period modulates [a duty ratio] the clock signal inputted into the half bit pattern scanning circuit 104-1 to 104-257 to the clock signal of $(7 \times T)$ by four sevenths. Thereby, pulse width is outputted to the timing which the pulse signal of $(8 \times T)$ shows in drawing as an output signal P2 of the half bit scanning circuit 104-2. Moreover, pulse width is outputted to the timing which the pulse signal of $(7 \times T)$ shows in drawing as an output signal P3 of the half bit scanning circuit 104-3. On the other hand, in the period when the pulse signal P2 is outputted, pulse width inputs to the timing to which T and a phase show the pulse signal which carried out the sequential shift every $[T]$ in drawing as control signals G5-G8 of a NAND gate circuit. Consequently, the pulse signal the phase carried out [the pulse signal / pulse width] the sequential shift every $[T]$ by T is obtained as output signals GP5-GP8 of the output-buffer circuit 106. Moreover, in the period when the pulse signal P3 is outputted, pulse width inputs to the timing to which T and a phase show the pulse signal which carried out the sequential shift every $[T]$ in drawing as control signals G1-G4 of a NAND gate circuit. Consequently, the pulse signal the phase carried out [the pulse signal / pulse width] the sequential shift every $[T]$ by T is obtained as output signals GP9-GP12 of the output-buffer circuit 106.

[0055] Then, as shown in drawing, a period modulates [a duty ratio] the clock signal inputted into the half bit pattern scanning circuit 104-1 to 104-257 to the clock signal of $(8 \times T)$ by one half. Thereby, pulse width is outputted to the timing which the pulse signal of $(7 \times T)$ shows in drawing as an output signal P4 of the half bit scanning circuit 104-4. on the other hand, T and a phase input the pulse signal in which pulse width carried out T [every] sequential shift in the period when the pulse signal P4 is outputted as control signals G5-G8 of a NAND gate circuit to the timing the phase of a control signal G4 and whose phase of a control signal G5 correspond, as shown in drawing. Consequently, pulse width is obtained to the timing with which the pulse signal of the phase of an output signal P12 and an output signal P13 the phase carried out [the pulse signal] the sequential shift every $[T]$ by T corresponds as output signals GP13-GP16 of the output-buffer circuit 106. Thus, the 12th and the 13th part of the scanning line can be chosen as coincidence.

[0056] By the drive approach explained above, the scanning line of two lines can be partially scanned to coincidence.

[0057] the timing to which the control signal G1 inputted into NAND gate circuit 105- $(1+8 \times (N-1))$ in this example to the timing of the output signal P of a half bit pattern scanning circuit $(2 \times N-1)$ which starts (N is 128 or less positive integer) starts — T — or $(2 \times T)$ — only — it has delayed. moreover, the timing to which the output signal P of a half bit pattern scanning circuit $(2 \times N-1)$ falls to the timing to which the control signal G4 inputted into NAND gate circuit 105- $(4+8 \times (N-1))$ falls — T — or $(2 \times T)$ — only — it has delayed. moreover, the timing to which the control signal G5 inputted into NAND gate circuit 105- $(5+8 \times (N-1))$ starts to the timing to which the output signal P of a half bit pattern scanning circuit $(2 \times N)$ starts — T — or $(2 \times T)$ — only — it has delayed. moreover, the timing to which the output signal P of a half bit pattern scanning circuit $(2 \times N)$ falls to the timing to which the control signal G8 inputted into NAND gate circuit 105- $(8 \times N)$ falls — T — or $(2 \times T)$ — only — it has delayed. By inputting control signals G1-G8 to such timing, the noise which appears in an output signal with a cross talk can be erased completely.

[0058] Drawing 8 is drawing showing the 7th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach which carries out the black writing of the pixel field of the upper and lower sides which remained during the blanking period, when displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has using the liquid crystal display shown in drawing 1 . Hereafter, the drive approach in the case of carrying out the black display writing of the pixel for 16 lines a top and the bottom, respectively is explained using drawing 8 .

[0059] First, a clock period inputs into the half bit pattern scanning circuit 104-1 to 104-257 during a blanking period to the timing to which the clock signal CLK of TH and the pulse width from an input terminal a107 show the pulse signals A and B which are two of $(2 \times TH(s))$ in drawing. Time amount after pulse signal A falls at this

time until pulse signal B starts serves as $(124 \times TH)$, as shown in drawing. Thus, the signal said two pulse signals carried out [the signal] the every $(TH/2)$ sequential shift is outputted to the timing shown in drawing as output signals P1-P256 of the half bit scanning circuit 104-1 to 104-257 by inputting the input signal VSTa from clock signal CLK and an input terminal a107. On the other hand, in this period, the signal of a low level is altogether inputted as control signals G1-G8 of a NAND gate circuit. Consequently, regardless of the logical level of the output signals P1-P256 of a half bit pattern scanning circuit, the output signal of a vertical-drive circuit will be in the condition of a low level. In addition, the about triple figures clock frequency $(1/TH)$ in this period is made high compared with the clock frequency in a video-signal write-in period.

[0060] After pulse signal A is inputted following this period that shifts two pulse signals A and B to a high speed on a frequency high about triple figures compared with an image write-in period, as shown in drawing, the level of a clock signal is held in the elapsed $(128 \times TH)$ place. Thereby, as shown in drawing, the output signals P1-P4 of a half bit pattern scanning circuit and P253-256 are high-level, and are held. On the other hand, as control signals G1-G8 inputted into a NAND gate circuit in this period, as shown in drawing, a high-level signal is inputted. Consequently, only the period when the control signals G1-G8 of a NAND gate circuit are high-level is set to the output signals GP1-GP16 of a vertical-drive circuit, and GP1009-GP1024 being high-level. A black status signal is written in the pixel of 16 lines a top and the bottom at this period, respectively. Usually, the long time amount which can be enough written in the pixel as which the black status signal was chosen as this black write-in period is set up. Moreover, Rhine which performs black display writing can be adjusted by adjusting the pulse width of pulse signals A and B.

[0061] A clock period inputs the clock signal of TH into the scanning circuit 104-1 to 104-257 of a half bit pattern again following the period of the bottom black writing of besides. By this, the data held in the scanning circuit 104-1 to 104-257 of a half bit pattern are swept out by the high speed. On the other hand, in this period, the signal of a low level is altogether inputted as control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024. Consequently, regardless of the logical level of the output signals P1-P256 of a half bit pattern scanning circuit, the output signal of a vertical-drive circuit will be in the condition of a low level. Moreover, during this period, in order to generate the scan pulse signal in an image write-in period, it inputs to the timing which shows pulse signal C of pulse width TH in drawing, and that pulse signal C is transmitted to the 4th step. By this, in an image write-in period, a transfer will begin from the 5th step and a scan will begin from the 17th scanning line which is a graphic display field as an output of a vertical-drive circuit.

[0062] Drawing 9 is drawing showing the 8th example of the drive approach of the liquid crystal display of this invention. Although this example shows an example of the drive approach which carries out the black writing of the pixel field of the upper and lower sides which remained during the blanking period when displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has like the 7th example using the liquid crystal display shown in drawing 1, a top, they are 15 lines and the point which carries out the black display writing of the pixel for 17 lines the bottom, and differs from the 7th example. That is, this example shows the drive approach when moving a graphic display device on one line from the condition of the 7th example. This drive approach is used to move a graphic display field freely. Hereafter, the drive approach is explained.

[0063] First, it sets during a blanking period and a clock period inputs into the half bit pattern scanning circuit 104-1 to 104-257 to the timing which shows clock signal CLK of TH, and the input pulse signals A and B in drawing. Time amount after pulse signal A falls at this time until pulse signal B starts serves as $(124 \times TH)$, as shown in drawing. Thus, the signal said two pulse signals carried out [the signal] the every $(TH/2)$ sequential shift is outputted by inputting clock signal CLK and an input signal VSTa to the timing shown in drawing as output signals P1-P256 of the half bit scanning circuit 104-1 to 104-257. On the other hand, in this period, the signal of a low level is altogether inputted as control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024.

Consequently, regardless of the logical level of the output signals P1-P256 of a half bit pattern scanning circuit, the output signal of a vertical-drive circuit will be in the condition of a low level. In addition, the about triple figures clock frequency $(1/TH)$ in this period is made high compared with the clock frequency in a video-signal write-in period.

[0064] After pulse signal A is inputted following this period that shifts two pulse signals A and B to a high speed on a frequency high about triple figures compared with an image write-in period, as shown in drawing, the level of a clock signal is held in the elapsed $(127 \times TH)$ place. Thereby, as shown in drawing, the output signals P1-P3 of a half bit pattern scanning circuit and P252-256 are high-level, and are held. Let this period be the 1st black write-in period. In this period, on the other hand, the control signals G1-G4 inputted into a NAND gate circuit and G8 are made into high level, and G5-G7 are made into a low level. consequently, output signal GP1- of a vertical-

drive circuit — GP4, GP8, and GP9— GP12, GP1008, and GP1009— GP1012, GP1016, and GP1017— GP1020 and GP1024 will be in a high-level condition. In this period, black display writing is performed about a part of part which should indicate by black.

[0065] Following this 1st black write-in period, the level of a clock signal is switched, as shown in drawing. By this, the output signal P4 of the scanning circuit 104-4 of a half bit cuts high-level, and changes from a low level, and the output signal P252 of the half bit scanning circuit 104-252 switches from high level to a low level.

Consequently, the output signals P1-P4 of a half bit pattern scanning circuit, and P253-P256 will be in a high-level condition. In this period, as control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024, altogether, the signal of a low level is inputted and the output signal of the vertical-drive circuit 102 is changed into the condition of a low level regardless of the logical level of the output signals P1-P256 of a half bit pattern scanning circuit.

[0066] The control signals G1-G7 inputted into a NAND gate circuit are made into high level, holding the logical level of a clock signal following this period, and G8 is made into a low level. Consequently, the output signals GP1-GP7 of a vertical-drive circuit, GP9-GP15, GP1009-GP10105, and GP1017-GP1023 will be in a high-level condition. In this period, black display writing is performed about a part of part which should indicate by black. Let this period be the 2nd black write-in period.

[0067] A clock period inputs the clock signal of TH into the scanning circuit 104-1 to 104-257 of a half bit pattern again following the period of the this 1st and 2nd vertical black writing. By this, the data held in the scanning circuit 104-1 to 104-257 of a half bit pattern are swept out by the high speed. On the other hand, in this period, the signal of a low level is altogether inputted as control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024. Consequently, regardless of the logical level of the output signals P1-P256 of a half bit pattern scanning circuit, the output signal of a vertical-drive circuit will be in the condition of a low level. Moreover, during this period, in order to generate the scan pulse signal in an image write-in period, it inputs to the timing which shows pulse signal C of pulse width TH in drawing, and that pulse signal C is transmitted to the 4th step. Then, a clock frequency is modulated and the pulse signal in which the phase carried out the sequential shift is inputted as a control signal inputted into a logic-gate circuit in the sequence of G8, G1, G2, ..., G7. A scan will begin from the 16th scanning line which is a graphic display field as an output of a vertical-drive circuit.

[0068] By the drive approach which was explained above, a graphic display location can be moved per one line.

[0069] Drawing 10 is drawing showing the 9th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the another drive approach which carries out the black writing of the pixel field of the upper and lower sides which remained during the blanking period, when displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has like the 7th example using the liquid crystal display shown in drawing 1. Hereafter, the drive approach in the case of carrying out the black display writing of the pixel for 16 lines a top and the bottom, respectively is explained using drawing 10.

[0070] First, a clock period inputs into the half bit pattern scanning circuit 104-1 to 104-257 during a blanking period to the timing to which the clock signal CLK of TL and the pulse width from an input terminal a107 show the input pulse signal VSTa of (2xTL) in drawing. Thereby, the signal said input pulse signal carried out [the signal] the every (TL/2) sequential shift is outputted to the timing shown in drawing as an output signal of the half bit scanning circuit 104-1 to 104-257. Under the present circumstances, TL is made into die length comparable as the selection period T of the scanning line. Moreover, if a clock signal is 3 clock **** as shown in drawing, it will hold level in time. Therefore, it will be held by the output signals P5 and P6 of a half bit pattern scanning circuit high-level. A high-level signal is inputted to the timing shown in drawing so that the period when the pulse signal of the output signals P1 and P3 of a half bit scanning circuit is outputted may be covered in this period on the other hand as control signals G1-G4 of a NAND gate circuit. Moreover, a high-level signal is inputted to the timing shown in drawing so that the period when the pulse signal of the output signals P2 and P4 of a half bit scanning circuit is outputted may be covered as control signals G5-G8 of the NAND gate circuit 105-1 to 105-1024. Consequently, the pulse signal of pulse width TL in which the phase carried out the every (TL/2) sequential shift is obtained at intervals of three lines as output signals GP1-GP16 of a vertical-drive circuit. During this shift period, it performs four lines at a time, and up black display writing is performed in order.

[0071] The clock period of the clock signal inputted into the half bit pattern scanning circuit 104-1 to 104-257 is modulated to (8xT) following this period that performs up black display writing. Consequently, the shift of the data with which the half bit scanning circuit 104-5, 104-6 was held by the way starts again, and, henceforth [the output signal P7 of the half bit scanning circuit 104-7], the pulse signal (8xT) and a phase carried out [the pulse signal / pulse width] the every (4xT) sequential shift is outputted. On the other hand, in this period, pulse width

inputs to the timing to which T and a pulse period show in drawing the pulse signal in which (8xT) and a phase carried out the sequential shift every [T] as control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024. Consequently, the pulse signal the pulse of a period T carried out [the pulse signal] the sequential shift every [T] is obtained as output signals GP17-GP1008 of the output-buffer circuit 106. A video signal is written in this period.

[0072] Following an image write-in period, as shown in drawing, the level of a clock signal is held to the output signal P253 of the half bit scanning circuit 104-253, and a clock period inputs the clock signal of TL into it in the place to which the pulse signal was transmitted following it. The data with which the half bit scanning circuit 104-252,104-253 was held by the way start a shift again by this, and the pulse signal the phase carried out [the pulse signal / pulse width] the every (TL/2) sequential shift by TL is outputted as output signals P254-P256 of a half bit scanning circuit. In this period, a high-level signal is inputted to the timing shown in drawing as the control signals G1-G4 inputted into a NAND gate circuit, and G5-G8. Consequently, the pulse signal of pulse width TL in which the phase carried out the every (TL/2) sequential shift is obtained at intervals of three lines as output signals GP1009-GP1024 of the output-buffer circuit 106. During this shift period, it performs four lines at a time, and lower black display writing is performed in order. Since the liquid crystal display of this invention has the composition that it can perform the black display writing of four lines at a time, in this way, the time amount of black display writing becomes long 4 times, and it can write in a black signal.

[0073] The liquid crystal display of this example was accumulated on the glass substrate, and produces a polycrystalline silicon thin film transistor. Although the vertical-drive circuit and the level drive circuit were constituted from a CMOS static circuit, constituting from a CMOS dynamic circuit is also possible. Moreover, in this example, although the polycrystalline silicon thin film transistor was used, it is also possible to form by other thin film transistors which adopted the amorphous silicon, the cadmium selenium, etc. as the semi-conductor layer. Moreover, it is also possible to constitute from a single-crystal-silicon MOS transistor.

[0074]

[Effect of the Invention] If the liquid crystal display and its drive approach of this invention are applied as explained above, since the number of the control terminals inputted into the vertical-drive circuit of a multi-sink liquid crystal display is reducible from 3/5 to one half extent, it is very effective when attaining miniaturization of a multi-sink liquid crystal display, and low cost-ization.

[0075] Furthermore, since the noise by the cross talk of a control signal does not occur at all, it can operate a liquid crystal display to stability.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the example of the liquid crystal display of this invention.

[Drawing 2] It is drawing showing the 1st example of the drive approach of the liquid crystal display of this invention.

[Drawing 3] It is drawing showing the 2nd example of the drive approach of the liquid crystal display of this invention.

[Drawing 4] It is drawing showing the 3rd example of the drive approach of the liquid crystal display of this invention.

[Drawing 5] It is drawing showing the 4th example of the drive approach of the liquid crystal display of this invention.

[Drawing 6] It is drawing showing the 5th example of the drive approach of the liquid crystal display of this invention.

[Drawing 7] It is drawing showing the 6th example of the drive approach of the liquid crystal display of this invention.

[Drawing 8] It is drawing showing the 7th example of the drive approach of the liquid crystal display of this invention.

[Drawing 9] It is drawing showing the 8th example of the drive approach of the liquid crystal display of this invention.

[Drawing 10] It is drawing showing the 9th example of the drive approach of the liquid crystal display of this invention.

[Drawing 11] It is drawing showing the conventional liquid crystal display.

[Drawing 12] It is drawing showing an example of the drive approach of the conventional liquid crystal display.

[Description of Notations]

101 Active-Matrix Array

102 Vertical-Drive Circuit

103 Level Drive Circuit

104-1 to 104-257 Half bit scanning circuit

105-1 to 105-1024 NAND gate circuit

106 Buffer Circuit

107 Input Terminal A

108 Input Terminal B

1101 Active-Matrix Array

1102 Vertical-Drive Circuit

1103 Level Drive Circuit

1104 Address Decoder

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-122747

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/36				
H 0 4 N 5/66	1 0 2 B			

審査請求 有 請求項の数10 O L (全 20 頁)

(21) 出願番号 特願平6-263753

(22) 出願日 平成6年(1994)10月27日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 浅田 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 小澤 一徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 福森 裕之

東京都港区芝五丁目7番1号 日本電気株式会社内

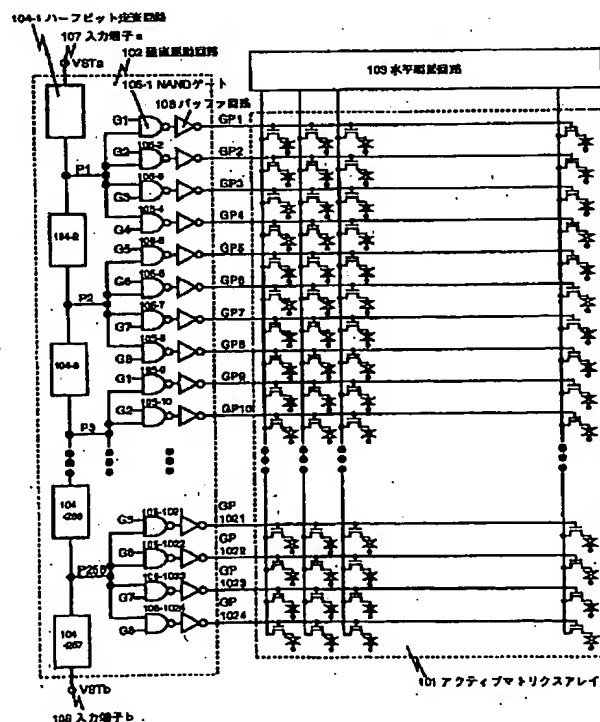
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【目的】 さまざまな走査方式、画素数を有するパーソナルコンピュータ、ワークステーション、テレビジョン等に対応した液晶表示装置の小型化、低コスト化を目的としている。

【構成】 本発明の液晶表示装置は、ハーフビット構成の走査回路104と、その出力信号と制御信号で制御されるNANDゲート回路105と、出力バッファ回路106とで構成される垂直駆動回路102とを備える。走査回路の出力は、4個のNANDゲート回路に接続され、かつ隣接する8個のNANDゲート回路の制御信号すべて異なっている。本発明の液晶表示装置の駆動方法は、ブランキング期間中に、走査回路のクロック周波数を変調することにより、走査ライン選択データを、高速転送、保持、高速掃き出しし、保持期間中において、黒書き込みを行うための走査線を選択することにより、上下黒表示書き込みを行う。



(2)

【特許請求の範囲】

【請求項1】複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

前記垂直駆動回路が、

パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段（Nは正の整数）走査回路と、

M個（Mは2以上の整数）毎にそれぞれの第1の制御端子が共通接続され、その共通接続された第1の制御端子が前記走査回路のN個の出力端子にそれぞれ接続され、

$(2 \times M - 1)$ 個おきにそれぞれの第2の制御端子が共通接続された $(N \times M)$ 個の論理ゲート回路と、

前記論理ゲート回路の出力信号を入力信号とする出力バッファ回路とで構成されていることを特徴とする液晶表示装置。

【請求項2】請求項1記載の液晶表示装置を駆動する方法において、

走査線選択期間をTとした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が $(2 \times M \times T)$ 、位相がTずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、前記 $(N \times M)$ 個の論理ゲート回路の、 $(2 \times M)$ 個の第2の制御端子 $G_1, G_2, G_3, \dots, G_{(2 \times M)}$ に、それぞれ順番に入力し、前記走査回路のK番目（Kは正の整数）の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((2 \times M \times T) / 2)$ の関係が成立するタイミングで、前記 $(2 \times M)$ 個のパルス信号を入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項3】請求項1記載の液晶表示装置を駆動する方法において、

走査線選択期間をTとした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が $(2 \times M \times T)$ 、位相がTずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、前記 $(N \times M)$ 個の論理ゲート回路の、 $(2 \times M)$ 個の第2の制御端子 $G_1, G_2, G_3, \dots, G_{(2 \times M)}$ に、それぞれ逆の順番に入力し、前記走査回路のK番目（Kは正の整数）の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(M \times K)$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((2 \times M \times T) / 2)$ の関係が成立するタイミングで、前記 $(2 \times M)$ 個のパルス信号を入力して駆動する

2

ことを特徴とする液晶表示装置の駆動方法。

【請求項4】請求項1記載の液晶表示装置を駆動する方法において、

走査線選択期間をTとした場合、周期が $(M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が $(M \times T)$ 、位相がTずつ順次シフトした、異なるM個のパルス信号 A_1, A_2, \dots, A_M を、前記 $(N \times M)$ 個の論理ゲート回路の、 $(2 \times M)$ 個の第2の制御端子 G_1 と G_2, G_3 と $G_4, \dots, G_{(2 \times M - 1)}$ と $G_{(2 \times M)}$ に、それぞれ順番に入力し、前記走査回路のK番目（Kは正の整数）の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((M \times T) / 2)$ の関係が成立するタイミングで、前記M個のパルス信号を入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項5】請求項1記載の液晶表示装置を駆動する方法において、

走査線選択期間をTとした場合、周期が $((M \times T) / 2)$ であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が $((M \times T) / 2)$ 、位相がTずつ順次シフトした、異なる $(M / 2)$ 個のパルス信号 $A_1, A_2, \dots, A_{(M / 2)}$ を、前記 $(N \times M)$ 個の論理ゲート回路の、 $(2 \times M)$ 個の第2の制御端子 $G_1 \sim G_4, G_5 \sim G_8, \dots, G_{(2 \times M - 3)} \sim G_{(2 \times M)}$ に、それぞれ順番に入力し、前記走査回路のK番目（Kは正の整数）の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((M \times T) / 4)$ の関係が成立するタイミングで、前記 $(M / 2)$ 個のパルス信号を入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項6】請求項1記載の液晶表示装置を駆動する方法において、

走査線選択期間をTとした場合、周期が $(M \times T)$ であるクロック信号を前記走査回路に入力し、奇数フィールドにおいては、パルス幅がT、パルス周期が $(M \times T)$ 、位相がTずつ順次シフトした、異なるM個のパルス信号 A_1, A_2, \dots, A_M を、前記 $(N \times M)$ 個の論理ゲート回路のうち、奇数番目の論理ゲート回路の第2の制御端子 $G_1, G_3, G_5, \dots, G_{(2 \times M - 1)}$ に、それぞれ順番に入力し、前記走査回路のK番目（Kは正の整数）の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時

(3)

3
刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((M \times T) / 2)$ の関係が成立するタイミングで、前記 M 個の
パルス信号を入力し、偶数フィールドにおいては、パルス幅が T 、パルス周期が $(M \times T)$ 、位相が T ずつ順次
シフトした、異なる M 個のパルス信号 $A_1, A_2, \dots, A(M)$ を、前記 $(N \times M)$ 個の論理ゲート回路の
うち、偶数番目の論理ゲート回路の第2の制御端子 $G_2, G_4, G_6, \dots, G(2 \times M)$ に、それぞれ順
番に入力し、前記走査回路の K 番目(K は正の整数)の
出力信号の論理レベルが切り変わる時刻を t_0 、その時刻
10 t_0 に続いて、 $(2 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((M \times T) / 2)$ の関係が成立するタイミングで、前記 M 個のパルス信号を入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項7】請求項1記載の液晶表示装置を駆動する方法において、

走査線選択期間を T とした場合、クロック周期が $(2 \times M \times T)$ から、 $((2 \times M - J) \times T)$ に(J は M 以下の
20 正の整数)変調された期間を有するクロック信号を、前記走査回路に入力し、クロック周期が $(2 \times M \times T)$ の期間においては、パルス幅が T 、位相が T ずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A(2 \times M)$ を、クロック周期が $((2 \times M - J) \times T)$ に変調された期間においては、パルス幅が T 、 J 箇所を除いて位相が T ずつ順次シフトしたパルス信号 $A_1, A_2, \dots, A(2 \times M)$ を、前記 $(N \times M)$ 個の論理ゲート回路の、 $(2 \times M)$ 個の第2の制御端子 $G_1, G_2, G_3, \dots, G(2 \times M)$ に、それぞれ順番に入力し、前記走査回路の K 番目(K は正の整数)の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((2 \times M \times T) / 2)$ の関係が成立するタイミングで、前記 $(2 \times M)$ 個のパルス信号を入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項8】請求項1記載の液晶表示装置を駆動する方法において、

ブランキング期間において、所定の周期のクロック信号を前記走査回路に入力し、パルス信号を順次シフトする
第1の期間と、その第1の期間に続いて、クロック信号のレベルを固定して、前記走査回路の出力信号のレベル
を一定にする第2の期間と、その第2の期間に続いて、
所定の周期のクロック信号を前記走査回路に入力し、前記パルス信号を順次シフトする第3の期間とが存在し、
前記第1、第3の期間においては、前記走査回路の出力が、前記論理ゲート回路の出力に反映されない信号を、
50

4
前記第2の期間においては、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項9】請求項1記載の液晶表示装置を駆動する方法において、

ブランキング期間において、所定の周期のクロック信号を、前記走査回路に入力し、パルス信号を順次シフトする第1の期間と、その第1の期間に続いて、前記クロック信号のレベルを固定して、前記走査回路の出力信号のレベルを一定にする第2の期間と、その第2の期間に続いて、前記固定されたクロック信号のレベルを切り換えて、前記パルス信号を1シフトさせる第3の期間と、その第3の期間に続いて、前記クロック信号のレベルを固定して、前記走査回路の出力信号のレベルを一定にする第4の期間と、その第4の期間に続いて、所定の周期のクロック信号を、前記走査回路に入力し、前記パルス信号を順次シフトする第5の期間とが存在し、前記第1、第3、第5の期間においては、前記走査回路の出力が、前記論理ゲート回路の出力に反映されない信号を、前記第2、第4の期間においては、少なくともその第2、第4の期間のどちらか一方の期間において、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項10】請求項1記載の液晶表示装置を駆動する方法において、

ブランキング期間において、前記走査回路に入力するクロック信号の周波数を、映像書き込み期間中よりも高い周波数に変調して、パルス信号を転送し、その転送期間中、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスプレイ、プロジェクタ、テレビジョン等に用いられる、アクティブマトリクス型液晶表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】マルチメディア時代に向けて、映像周波数、画素数、走査方式の異なる、さまざまなパーソナルコンピュータ(以下、PCと記す)、ワークステーション(以下、WSと記す)、テレビジョン等に対応可能な液晶表示装置が要求されるようになってきている。

【0003】PCやWS等に対応させるためには、奇数ライン、偶数ラインに関係なく順番に走査する順次走査方式を行う必要がある。一方、現行のテレビジョンや、ハイビジョンに対応するためには、送られてくる信号に

(4)

5

従って、奇数フィールドで奇数ラインの画素を順次走査し、偶数フィールドで偶数ラインの画素を順次走査する、インタレース駆動を行う必要がある。さらには、奇数フィールドにおいて、奇数ラインと同時に次の偶数ラインも走査して、同じ信号を書き込み、偶数フィールドにおいては、偶数ラインと同時に次の奇数ラインも同時に走査して、同じ信号を書き込む方式（2ライン同時駆動）が取られることもあり、これに対応できる液晶表示装置が求められている。

【0004】また、液晶表示装置が持つ画素数よりも小さい画素数の映像を、縦・横それぞれ2倍にして拡大表示できる液晶表示装置が望まれている。例えば、縦1024ライン、横1280ラインの液晶表示装置において、縦480ライン、横640ラインの映像を表示させる場合、縦・横それぞれ2倍に拡大して、縦960ライン、横1280ラインを用いて表示させた方が見やすく効率的である。さらに、縦600ライン、横800ラインの映像を表示させる場合には、縦・横それぞれ1.6倍に拡大して、縦960ライン、横1280ラインを用いて映像を表示することも検討されている。また、映像表示領域を自由に移動することも必要である。

【0005】液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合には、映像表示領域外の余った上下あるいは左右の画素を黒表示にしておくため、ブランキング期間中にその画素の黒表示書き込みを行う必要がある。

【0006】近年、大画面ディスプレイ、プレゼンテーション用ディスプレイとして普及が進んでいる液晶プロジェクトでは、液晶表示装置を通過した光の反射・折り曲げ回数の違いから、赤・緑・青に対応した3枚の液晶表示装置のうち1枚のパネルについて、画像をミラー反転させる必要がある。さらに、1台の液晶プロジェクト装置で、フロント投射、リア投射、床置き、天吊りに対応できる柔軟な液晶表示装置が求められている。このため、垂直駆動回路、水平駆動回路を構成する走査回路は、共に双方向に走査できることが要求される。

【0007】以上説明したような、走査方式、拡大表示、移動、黒表示書き込み、双方向走査をすべて包括できる液晶表示装置が、来るマルチメディア時代の液晶表示装置として強く望まれている。以下、このような液晶表示装置をマルチシンク液晶表示装置と記す。

【0008】一方、液晶表示装置の小型化、低コスト化を狙って、液晶表示装置と同じ基板上に周辺駆動回路を集積化する技術の開発が進んでいる。周辺駆動回路は、アクティブマトリクスアレイを形成する薄膜トランジスタのゲートを走査する垂直駆動回路と、画像信号を画素に供給する水平駆動回路に分けられる。

【0009】特定の走査方式で、特定の画素数の映像を表示する場合には、水平駆動回路に用いられる走査回路としてシフトレジスタ回路が使われている。しかしなが

6

ら、シフトレジスタ回路を用いた場合、回路スピードの限界、データ信号の書き込み周波数の限界から、ブランキング期間中に黒表示書き込みを行うことができず、先に述べたマルチシンク液晶表示装置を実現することは困難である。

【0010】現在、マルチシンク液晶表示装置の垂直駆動回路には、アドレスデコーダが用いられている。図11は、アドレスデコーダを用いた従来の液晶表示装置の構成を示す図である。図に示す様に、液晶表示装置は、映像を表示するアクティブマトリクスアレイ1101と、垂直駆動回路1102と、水平駆動回路1103とで構成されている。アドレスデコーダ1104には、走査線を選択するための制御信号が複数本入力されている。

【0011】図12は、垂直駆動回路にアドレスデコーダを用いた液晶表示装置の従来の駆動方法の一例を示す図である。ここでは、順次走査の例を示している。また、水平駆動回路は、マルチシンク液晶表示装置に対応した回路であるものとする。また、走査線の数を1024本としており、その場合、制御信号の数は、A0、/A0（/は論理レベルへの反転を表す）、A1、/A1、・・・、A9、/A9の20個となる。図に示すように、映像書き込み期間において、制御信号A0、/A0、A1、/A1、・・・、A9、/A9には、クロック信号が入力されており、A(i+1)の(iは0から9までの整数)クロック周期は、Aiのクロック周期の2倍となっている。このような制御信号を入力することにより、走査線GP1、GP2、・・・、GP1024を順次走査する信号を得ることができる。

【0012】アドレスデコーダを用いれば、制御信号の論理レベルの組み合わせにより、任意の走査線を1本、あるいは複数本を同時に選択することができる。従って、図12に示した順次走査の他、インタレース走査、2ライン同時駆動も容易に行うことができる。また、拡大表示、表示領域の移動、双方向走査にも対応できる。さらに、垂直ブランキング期間中において、黒表示書き込みを行いたい画素の走査線を、同時に選択することができるので、上下の黒表示書き込みの時間を十分長くとれる。これらの理由により、マルチシンク液晶表示装置の垂直駆動回路にはアドレスデコーダが用いられている。

【0013】

【発明が解決しようとする課題】図12に示したように、従来のマルチシンク液晶表示装置には、その垂直駆動回路にアドレスデコーダが用いられている。しかしながら、アドレスデコーダの場合、走査線の数が増大するとともに、制御線の数が増大するため、液晶ディスプレイモジュールが大きくなる、コスト高となる等の問題が生じる。例えば、走査線の数が1024本の場合には、20個の制御端子が必要となる。さらに走査線の数が1

(5)

7

024本を越える場合には、22個の制御端子が必要となる。

【0014】また、アドレスデコーダは、このように制御信号の数が多く、制御信号の論理レベルの組み合わせによりアドレスを選択するため、制御信号間のノイズやタイミングのずれによって、出力信号にノイズが発生し易いという問題もある。

【0015】一方、垂直駆動回路にシフトレジスタを用いた液晶表示装置では、シフトレジスタを駆動するために必要なクロック信号端子、入力信号端子の数は、走査線の数に関係なく、合わせて3本程度で済むが、先に述べたように、シフトレジスタでは、回路スピードの限界から、マルチシンク液晶表示装置に対応することはできない。

【0016】本発明の目的は、上記問題点を解決するために、垂直駆動回路を駆動するための制御信号端子の数を、アドレスデコーダに比べて大幅に削減でき、出力信号にノイズが発生しない、小型、低コストのマルチシンク液晶表示装置とその駆動方法を提供することにある。

【0017】

【課題を解決するための手段】第1の発明は、複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、前記垂直駆動回路が、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段(Nは正の整数)走査回路と、M個(Mは2以上の整数)毎にそれぞれの第1の制御端子が共通接続され、その共通接続された第1の制御端子が前記走査回路のN個の出力端子にそれぞれ接続され、

($2 \times M - 1$)個おきにそれぞれの第2の制御端子が共通接続された($N \times M$)個の論理ゲート回路と、前記論理ゲート回路の出力信号を入力信号とする出力バッファ回路とで構成されていることを特徴とする。

【0018】第2の発明は、第1の発明の液晶表示装置において、前記論理ゲート回路が2入力NAND回路であることを特徴とする。

【0019】第3の発明は、第1または第2の発明の液晶表示装置において、前記走査回路が、双方向にパルス信号をシフトする手段を備えていることを特徴とする。

【0020】第4の発明は、第1または第3の発明の液晶表示装置において、第1の制御端子が共通接続された論理ゲート回路の個数Mの値が4以上であることを特徴とする。

【0021】第5の発明は、第1、2または第3の発明の液晶表示装置の駆動方法において、走査線選択期間をTとした場合、周期が($2 \times M \times T$)であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が($2 \times M \times T$)、位相がTずつ順次シフトした、異なる($2 \times M$)個のパルス信号A1, A2, ..., A

8

($2 \times M$)を、前記($N \times M$)個の論理ゲート回路の、($2 \times M$)個の第2の制御端子G1, G2, G3, ..., G($2 \times M$)に、それぞれ順番に入力し、前記走査回路のK番目(Kは正の整数)の出力信号の論理レベルが切り変わる時刻をt0、その時刻t0に続いて、($1 + M \times (K - 1)$)番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻をt1とした場合、 $0 < (t1 - t0) < ((2 \times M \times T) / 2)$ の関係が成立するタイミングで、前記($2 \times M$)個のパルス信号を入力して駆動することを特徴とする。

【0022】第6の発明は、第3の発明の液晶表示装置の駆動方法において、走査線選択期間をTとした場合、周期が($2 \times M \times T$)であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が($2 \times M \times T$)、位相がTずつ順次シフトした、異なる($2 \times M$)個のパルス信号A1, A2, ..., A($2 \times M$)を、前記($N \times M$)個の論理ゲート回路の、($2 \times M$)個の第2の制御端子G1, G2, G3, ..., G($2 \times M$)に、それぞれ逆の順番に入力し、前記走査回路のK番目(Kは正の整数)の出力信号の論理レベルが切り変わる時刻をt0、その時刻t0に続いて、($M \times K$)番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻をt1とした場合、 $0 < (t1 - t0) < ((2 \times M \times T) / 2)$ の関係が成立するタイミングで、前記($2 \times M$)個のパルス信号を入力して駆動することを特徴とする。

【0023】第7の発明は、第1、2または第3の発明の液晶表示装置の駆動方法において、走査線選択期間をTとした場合、周期が($M \times T$)であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が($M \times T$)、位相がTずつ順次シフトした、異なるM個のパルス信号A1, A2, ..., A(M)を、前記($N \times M$)個の論理ゲート回路の、($2 \times M$)個の第2の制御端子G1とG2, G3とG4, ..., G($2 \times M - 1$)とG($2 \times M$)に、それぞれ順番に入力し、前記走査回路のK番目(Kは正の整数)の出力信号の論理レベルが切り変わる時刻をt0、その時刻t0に続いて、($1 + M \times (K - 1)$)番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻をt1とした場合、 $0 < (t1 - t0) < ((M \times T) / 2)$ の関係が成立するタイミングで、前記M個のパルス信号を入力して駆動することを特徴とする。

【0024】第8の発明は、第4の発明の液晶表示装置の駆動方法において、走査線選択期間をTとした場合、周期が($(M \times T) / 2$)であるクロック信号を前記走査回路に入力し、パルス幅がT、パルス周期が($(M \times T) / 2$)、位相がTずつ順次シフトした、異なる(M/2)個のパルス信号A1, A2, ..., A(M/2)

(6)

9

2) を、前記 $(N \times M)$ 個の論理ゲート回路の、 $(2 \times M)$ 個の第2の制御端子 $G_1 \sim G_4, G_5 \sim G_8, \dots, G_{(2 \times M - 3)} \sim G_{(2 \times M)}$ に、それぞれ順番に入力し、前記走査回路の K 番目 (K は正の整数) の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((M \times T) / 4)$ の関係が成立するタイミングで、前記 $(M / 2)$ 個のパルス信号を入力して駆動

【0025】第9の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、走査線選択期間を T とした場合、周期が $(M \times T)$ であるクロック信号を前記走査回路に入力し、奇数フィールドにおいては、パルス幅が T 、パルス周期が $(M \times T)$ 、位相が T ずつ順次シフトした、異なる M 個のパルス信号 $A_1, A_2, \dots, A_{(M)}$ を、前記 $(N \times M)$ 個の論理ゲート回路のうち、奇数番目の論理ゲート回路の第2の制御端子 $G_1, G_3, G_5, \dots, G_{(2 \times M - 1)}$ に、それぞれ順番に入力し、前記走査回路の K 番目 (K は正の整数) の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((M \times T) / 2)$ の関係が成立するタイミングで、前記 M 個のパルス信号を入力し、偶数フィールドにおいては、パルス幅が T 、パルス周期が $(M \times T)$ 、位相が T ずつ順次シフトした、異なる M 個のパルス信号 $A_1, A_2, \dots, A_{(M)}$ を、前記 $(N \times M)$ 個の論理ゲート回路のうち、偶数番目の論理ゲート回路の第2の制御端子 $G_2, G_4, G_6, \dots, G_{(2 \times M)}$ に、それぞれ順番に入力し、前記走査回路の K 番目 (K は正の整数) の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(2 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((M \times T) / 2)$ の関係が成立するタイミングで、前記 M 個のパルス信号を入力して駆動することを特徴とする。

【0026】第10の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、走査線選択期間を T とした場合、クロック周期が $(2 \times M \times T)$ から、 $((2 \times M - J) \times T)$ に (J は M 以下の正の整数) 変調された期間を有するクロック信号を、前記走査回路に入力し、クロック周期が $(2 \times M \times T)$ の期間においては、パルス幅が T 、位相が T ずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、クロック周期が $((2 \times M - J) \times T)$ に変調された期間においては、パルス幅が T 、

10

箇所を除いて位相が T ずつ順次シフトしたパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、前記 $(N \times M)$ 個の論理ゲート回路の、 $(2 \times M)$ 個の第2の制御端子 $G_1, G_2, G_3, \dots, G_{(2 \times M)}$ に、それぞれ順番に入力し、前記走査回路の K 番目 (K は正の整数) の出力信号の論理レベルが切り変わる時刻を t_0 、その時刻 t_0 に続いて、 $(1 + M \times (K - 1))$ 番目の論理ゲート回路の第2の制御端子に入力されるパルス信号の論理レベルが切り変わる時刻を t_1 とした場合、 $0 < (t_1 - t_0) < ((2 \times M \times T) / 2)$ の関係が成立するタイミングで、前記 $(2 \times M)$ 個のパルス信号を入力して駆動することを特徴とする。

【0027】第11の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、ブランキング期間において、所定の周期のクロック信号を前記走査回路に入力し、パルス信号を順次シフトする第1の期間と、その第1の期間に続いて、クロック信号のレベルを固定して、前記走査回路の出力信号のレベルを一定にする第2の期間と、その第2の期間に続いて、所定の周期のクロック信号を前記走査回路に入力し、前記パルス信号を順次シフトする第3の期間とが存在し、前記第1、第3の期間においては、前記走査回路の出力が、前記論理ゲート回路の出力に反映されない信号を、前記第2の期間においては、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力して駆動することを特徴とする。

【0028】第12の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、ブランキング期間において、所定の周期のクロック信号を、前記走査回路に入力し、パルス信号を順次シフトする第1の期間と、その第1の期間に続いて、前記クロック信号のレベルを固定して、前記走査回路の出力信号のレベルを一定にする第2の期間と、その第2の期間に続いて、前記固定されたクロック信号のレベルを切り換えて、前記パルス信号を1シフトさせる第3の期間と、その第3の期間に続いて、前記クロック信号のレベルを固定して、前記走査回路の出力信号のレベルを一定にする第4の期間と、その第4の期間に続いて、所定の周期のクロック信号を、前記走査回路に入力し、前記パルス信号を順次シフトする第5の期間とが存在し、前記第1、第3、第5の期間においては、前記走査回路の出力が、前記論理ゲート回路の出力に反映されない信号を、前記第2、第4の期間においては、少なくともその第2、第4の期間のどちらか一方の期間において、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力して駆動することを特徴とする。

【0029】第13の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、ブランキング

(7)

11

期間において、前記走査回路に入力するクロック信号の周波数を、映像書き込み期間中よりも高い周波数に変調して、パルス信号を転送し、その転送期間中、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力して駆動することを特徴とする。

【0030】

【実施例】以下に、本発明の液晶表示装置およびその駆動方法の実施例を詳細に説明する。

【0031】図1は本発明の液晶表示装置の一実施例を示す図である。液晶表示装置は、走査線と信号線の交点に薄膜トランジスタを配置して構成されたアクティブマトリクスアレイ101と、走査線を駆動する垂直駆動回路102と、信号線を駆動する水平駆動回路103とで構成されている。本実施例では、走査線の数を1024本としている。本実施例の液晶表示装置の垂直駆動回路102は、図に示すように、入力端子a107または入力端子b108から入力されたパルス信号をクロック信号に同期して順次シフトするハーフビット構成の256段走査回路104-1～104-257と、そのハーフビット構成走査回路104-1～104-257の各出力信号P1、P2、・・・、P256と、制御信号G1、G2、・・・、G8を入力信号とするNANDゲート回路105-1～105-1024と、そのNANDゲート回路の各出力信号を入力信号とする出力バッファ回路106とで構成されている。ハーフビット構成走査回路104-1～104-257の各出力に対し、4個のNANDゲート回路が接続されており、隣接する8個のNANDゲート回路の制御信号はすべて異なっていることが特徴となっている。

【0032】また、ハーフビット構成の走査回路104-1～104-257は、双方向走査が可能な構成となっている。一方向に走査する時には入力端子a107から、逆方向に走査する時には入力端子b108からパルス信号が入力される。

【0033】ハーフビット構成走査回路104-1～104-257は、2相のクロック信号で駆動される回路を用いている。従って、ハーフビット構成走査回路104-1～104-257を駆動するのに必要な駆動信号の数は、逆方向に走査する時に入力するパルス信号も含めて、クロック信号2個、入力信号2個の合計4個となる。さらに、NANDゲート回路105-1～105-1024の制御信号G1～G8を加えて、垂直駆動回路に入力する駆動信号の数は、合計12個となっている。この駆動信号の数は、信号線の数が1024本を越えた場合でも変わらない。一方、従来用いられてきたアドレスデコーダを垂直駆動回路に適用した場合には、先に述べたように、制御信号の数は20個となる。すなわち、本実施例の液晶表示装置では、垂直駆動回路の駆動信号端子の数が、従来の3/5となっている。また、走査線

12

の数が1024本を越える場合には、アドレスデコーダの制御信号の数は22個となり、本実施例の垂直駆動回路の駆動信号端子の数は、従来の約半分となる。

【0034】本実施例では、ハーフビット構成走査回路の段数を256段とし、その各出力を4個のNANDゲート回路に入力して、1024本の走査線を駆動する構成になっているが、ハーフビット構成走査回路の段数を512段として、その各出力を2個のNANDゲート回路に入力して、1024本の走査線を駆動する構成にしても良い。その場合、NANDゲート回路の制御信号の数は、8個のままでも良いが、4個にすることも可能である。また、本実施例では、NANDゲート回路105-1～105-1024を用いているが、NORゲート回路で置き換えても良い。その場合、本実施例における、ハーフビット構成走査回路104-1～104-257の出力信号P1～P256とは、論理レベルが反対の信号をNORゲート回路に入力し、出力バッファ回路を正転バッファ回路に置き換える必要がある。

【0035】図2は、本発明の液晶表示装置の駆動方法の第1の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、順次走査する場合の駆動方法の一例を示したものである。以下、図2を用いて、その駆動方法について説明する。

【0036】まず、ハーフビット構成走査回路104-1～104-257に、クロック周期が $(8 \times T)$ の $(T$ は走査線選択期間)クロック信号CLK、および入力端子a107からのパルス幅が $(8 \times T)$ の入力パルス信号VSTaを図2に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路104-1～104-257の各出力信号P1～P256として、図に示すように、パルス幅が $(8 \times T)$ で、位相が $(4 \times T)$ ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、NANDゲート回路105-1～105-1024の制御信号G1～G8として、パルス幅が T 、パルス周期が $(8 \times T)$ 、位相が T ずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP1～GP1024として、パルス幅が T 、位相が T ずつ順次シフトしたパルス信号が得られる。以上説明したようにして、順次走査する時の信号を取り出すことができる。

【0037】本実施例では、ハーフビット構成走査回路の出力信号P $(2 \times N - 1)$ の $(N$ は128以下の正の整数)立ち上がるタイミングに対し、NANDゲート回路105- $(1 + 8 \times (N - 1))$ に入力する制御信号G1の立ち上がるタイミングを $(2 \times T)$ だけ遅らせている。このようなタイミングで制御信号G1～G8を入

13

力することによって、クロストークによって出力信号に現れるノイズを完全に消すことができる。これに対し、ハーフビット構成走査回路の出力信号P ($2 \times N - 1$) の立ち上がるタイミングと、NANDゲート回路105- ($1 + 8 \times (N - 1)$) に入力する制御信号G1の立ち上がるタイミングを一致させた場合には、垂直駆動回路の出力信号が立ち下がってから ($7 \times T$) だけ経過した時刻において、その出力信号にノイズが発生する可能性がある。

【0038】図3は、本発明の液晶表示装置の駆動方法の第2の実施例を示す図である。本実施例は、駆動方法の第1の実施例と同様に、図1に示した液晶表示装置を用いて、順次走査する場合の駆動方法の一例を示したものであるが、アクティブマトリクスアレイを逆方向に走査する点で第1の実施例とは異なる。以下、図3を用いて、その駆動方法について説明する。

【0039】まず、ハーフビット構成走査回路104-1~104-257に、クロック周期が ($8 \times T$) の (T は走査線選択期間) クロック信号CLK、および入力端子b108からのパルス幅が ($8 \times T$) の入力パルス信号VSTbを図3に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて、第1の実施例とは逆の順番で、順次シフトする。これにより、ハーフビット構成走査回路104-1~104-257の各出力信号P1~P256として、図に示すように、パルス幅が ($8 \times T$) で、位相が ($4 \times T$) ずつ逆の順番で、順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、NANDゲート回路105-1~105-1024の制御信号G1~G8として、パルス幅がT、パルス周期が ($8 \times T$)、位相が逆の順番で、Tずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP1~GP1024として、パルス幅がTで、位相がTずつ逆の順番で、順次シフトしたパルス信号が得られる。以上説明したようにして、逆方向に走査する時の信号を取り出すことができる。

【0040】本実施例では、ハーフビット構成走査回路の出力信号P ($2 \times N$) の (N は128以下の正の整数) 立ち上がるタイミングに対し、NANDゲート回路105- ($8 \times N$) に入力する制御信号G8の立ち上がるタイミングを ($2 \times T$) だけ遅らせている。このようなタイミングで制御信号G1~G8を入力することによって、クロストークによって出力信号に現れるノイズを完全に消すことができる。これに対し、ハーフビット構成走査回路の出力信号P ($2 \times N$) の立ち上がるタイミングと、NANDゲート回路105- ($8 \times N$) に入力する制御信号G8の立ち上がるタイミングを一致させた場合には、垂直駆動回路の出力信号が立ち下がってから

(8)

14

($7 \times T$) だけ経過した時点において、その出力信号にノイズが発生する可能性がある。

【0041】図4は、本発明の液晶表示装置の駆動方法の第3の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、映像を縦・横それぞれ2倍に拡大する場合の駆動方法の一例を示したものである。映像の縦方向、横方向を2倍にして拡大表示するためには、走査線を2ラインずつ走査することと、同じ映像信号を、隣接する2本の信号線に供給することが必要である。図4を用いて、そのための駆動方法について説明する。

【0042】まず、ハーフビット構成走査回路104-1~104-257に、クロック周期が ($4 \times T$) の (T は走査線選択期間) クロック信号CLK、および入力端子a107からのパルス幅が ($4 \times T$) の入力パルス信号VSTaを図4に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路104-1~104-257の各出力信号P1~P256として、図に示すように、パルス幅が ($4 \times T$) で、位相が ($2 \times T$) ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、NANDゲート回路105-1~105-1024の制御信号として、パルス幅がT、パルス周期が ($4 \times T$)、位相がTずつ順次シフトした4種類のパルス信号を、G1とG2、G3とG4、G5とG6、G7とG8をそれぞれ共通にして、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP1~GP1024として、2ラインずつ順次走査するパルス信号が得られる。一方、本実施例で用いた水平駆動回路には、同じ映像信号を隣接する2ラインに供給する機能が設けられている。以上説明した駆動方法を用いて、映像を縦・横それぞれ2倍に拡大表示することができる。

【0043】また、本実施例を応用することにより、奇数フィールドにおいて、奇数ラインと同時に次の偶数ラインも走査して、同じ信号を書き込み、偶数フィールドにおいて、偶数ラインと同時に次の奇数ラインも同時に走査して、同じ信号を書き込む2ライン同時駆動を容易に行うことが可能である。

【0044】本実施例では、ハーフビット構成走査回路の出力信号P ($2 \times N - 1$) が (N は128以下の正の整数) 立ち上がるタイミングに対し、NANDゲート回路105- ($1 + 8 \times (N - 1)$) に入力する制御信号G1の立ち上がるタイミングをTだけ遅らせている。このようなタイミングで制御信号G1~G8を入力することによって、クロストークによって出力信号に現れるノイズを完全に消すことができる。これに対し、ハーフビット構成走査回路の出力信号P ($2 \times N - 1$) の立ち上

(9)

15

がるタイミングと、NANDゲート回路105-(1+8×(N-1))に inputsする制御信号G1の立ち上がるタイミングを一致させた場合には、垂直駆動回路の出力信号が立ち下がってから(3×T)だけ経過した時刻において、その出力信号にノイズが発生する可能性がある。

【0045】図5は、本発明の液晶表示装置の駆動方法の第4の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、映像を縦・横それぞれ4倍に拡大する場合の駆動方法の一例を示したものである。映像の縦方向、横方向を4倍にして拡大表示するためには、走査線を4ラインずつ走査することと、同じ映像信号を、隣接する4本の信号線に供給することが可能である。図5を用いて、そのための駆動方法について説明する。

【0046】まず、ハーフビット構成走査回路104-1~104-257に、クロック周期が(2×T)の(Tは走査線選択期間)クロック信号CLK、および入力端子a107からのパルス幅が(2×T)の入力パルス信号VSTaを図5に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路104-1~104-257の各出力信号P1~P256として、図に示すように、パルス幅が(2×T)で、位相がTずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、NANDゲート回路105-1~105-1024の制御信号として、パルス幅がT、パルス周期が(2×T)、位相がTだけシフトした2種類のパルス信号を、G1~G4、G5~G8をそれぞれ共通にして、図5に示すタイミングで入力する。その結果、出力バッファ回路の出力信号GP1~GP1024として、4ラインずつ順次走査するパルス信号が得られる。一方、本実施例で用いた水平駆動回路には、同じ映像信号を隣接する4ラインに供給する機能が設けられている。以上説明した駆動方向を用いて、映像を縦・横それぞれ4倍に拡大表示することができる。

【0047】本実施例は、ハーフビット構成走査回路の出力信号P(2×N-1)が(Nは128以下の正の整数)立ち上がるタイミングに対し、NANDゲート回路105-(1+8×(N-1))に inputsする制御信号G1の立ち上がるタイミングを(T/2)だけ遅らせている。このようなタイミングで制御信号G1~G8を入力することによって、クロストークによって出力信号に現れるノイズを完全に消すことができる。これに対し、ハーフビット構成走査回路の出力信号P(2×N-1)の立ち上がるタイミングと、NANDゲート回路105-(1+8×(N-1))に inputsする制御信号G1の立ち

16

上がるタイミングを一致させた場合には、垂直駆動回路の出力信号が立ち下がってからTだけ経過した時刻において、その出力信号にノイズが発生する可能性がある。

【0048】図6は、本発明の液晶表示装置の駆動方法の第5の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、インタレース駆動を行うための駆動方法の一例を示したものである。インタレース駆動を行うためには、奇数フィールドにおいて、奇数番目の走査線を順次選択し、偶数フィールドにおいて、偶数番目の走査線を順次選択することが必要である。図6を用いて、そのための駆動方法について説明する。

【0049】まず、奇数フィールドにおいて、ハーフビット構成走査回路104-1~104-257に、クロック周期が(4×T)の(Tは走査線選択期間)クロック信号CLK、入力端子a107からのパルス幅が(4×T)の入力パルス信号VSTaを図6に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路104-1~104-257の各出力信号P1~P256として、図に示すように、パルス幅が(4×T)で、位相が(2×T)ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、NANDゲート回路の制御信号として、パルス幅がT、パルス周期が(4×T)、位相がTずつ順次シフトした4種類のパルス信号を、G1、G3、G5、G7に、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP1~GP1024として、奇数番目の走査線を順次走査するパルス信号が得られる。

【0050】続いて、偶数フィールドにおいて、ハーフビット構成走査回路104-1~104-257に、クロック周期が(4×T)の(Tは走査線選択期間)クロック信号CLK、および入力端子a107からのパルス幅が(4×T)の入力パルス信号VSTaを図6に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路104-1~104-257の各出力信号P1~P256として、図に示すように、パルス幅が(4×T)で、位相が(2×T)ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、NANDゲート回路105-1~105-1024の制御信号として、パルス幅がT、パルス周期が(4×T)、位相がTずつ順次シフトした4種類のパルス信号を、G2、G4、G6、G8に、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP1~GP1024として、偶数番目

(10)

17

の走査線を順次走査するパルス信号が得られる。

【0051】本実施例では、ハーフビット構成走査回路の出力信号P ($2 \times N - 1$) が (Nは128以下の正の整数) 立ち上がるタイミングに対し、NANDゲート回路105- ($1 + 8 \times (N - 1)$) に入力する制御信号G1の立ち上がるタイミングをTだけ遅らせている。また、ハーフビット構成走査回路の出力信号P ($2 \times N$) の立ち上がるタイミングに対し、NANDゲート回路105- ($5 + 8 \times (N - 1)$) に入力する制御信号G5の立ち上がるタイミングをTだけ遅らせている。このようなタイミング制御信号G1~G8を入力することによって、クロストークによって出力信号に現れるノイズを完全に消すことができる。これに対し、ハーフビット構成走査回路の出力信号P ($2 \times N - 1$) の立ち上がるタイミングと、NANDゲート回路105- ($1 + 8 \times (N - 1)$) に入力する制御信号G1の立ち上がるタイミングを一致させた場合、あるいは、ハーフビット構成走査回路の出力信号P ($2 \times N$) の立ち上がるタイミングと、NANDゲート回路105- ($5 + 8 \times (N - 1)$) に入力する制御信号G5の立ち上がるタイミングを一致させた場合には、垂直駆動回路の出力信号が立ち下がってから ($3 \times T$) だけ経過した時刻において、その出力信号にノイズが発生する可能性がある。

【0052】図7は、本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、映像を自由な倍率で拡大表示するための駆動方法の一例を示したものである。映像を1.6倍等の自由な倍率で拡大表示するためには、1ラインずつ順次走査する途中で、部分的に2ラインを同時走査することが必要である。以下、図7を用いて、そのための駆動方法について説明する。

【0053】まず、ハーフビット構成走査回路104-1~104-257に、図に示すように、デューティ比が3/7で、クロック周期が ($7 \times T$) の (Tは走査線選択期間) クロック信号CLK、および入力端子a107からのパルス幅が ($7 \times T$) の入力パルス信号VSTaを、図7に示すタイミングで入力する。これにより、ハーフビット走査回路104-1の出力信号P1として、パルス幅が ($7 \times T$) のパルス信号が図に示すタイミングで出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、パルス信号P1が出力されている期間において、NANDゲート回路105-1~105-1024の制御信号G1~G4として、パルス幅がT、位相が図に示すように3番目を除いてTずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP1~GP4として、パルス幅がTで、3番目を除いて位相がTずつ順次シフトしたパルス信号が得られる。このようにし

18

て、走査線の2番目と3番目の部分を同時に選択することができる。

【0054】続いて、ハーフビット構成走査回路104-1~104-257に入力するクロック信号を、図に示すように、デューティ比が4/7で、周期が ($7 \times T$) のクロック信号に変調する。これにより、ハーフビット走査回路104-2の出力信号P2として、パルス幅が ($8 \times T$) のパルス信号が図に示すタイミングで出力される。また、ハーフビット走査回路104-3の出力信号P3として、パルス幅が ($7 \times T$) のパルス信号が図に示すタイミングで出力される。一方、パルス信号P2が出力されている期間において、NANDゲート回路の制御信号G5~G8として、パルス幅がT、位相がTずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP5~GP8として、パルス幅がTで、位相がTずつ順次シフトしたパルス信号が得られる。また、パルス信号P3が出力されている期間において、NANDゲート回路の制御信号G1~G4として、パルス幅がT、位相がTずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP9~GP12として、パルス幅がTで、位相がTずつ順次シフトしたパルス信号が得られる。

【0055】続いて、ハーフビット構成走査回路104-1~104-257に入力するクロック信号を、図に示すように、デューティ比が1/2で、周期が ($8 \times T$) のクロック信号に変調する。これにより、ハーフビット走査回路104-4の出力信号P4として、パルス幅が ($7 \times T$) のパルス信号が図に示すタイミングで出力される。一方、パルス信号P4が出力されている期間において、NANDゲート回路の制御信号G5~G8として、パルス幅がT、位相がTずつ順次シフトしたパルス信号を、図に示すように、制御信号G4の位相と制御信号G5の位相が一致するタイミングで入力する。その結果、出力バッファ回路106の出力信号GP13~GP16として、パルス幅がTで、位相がTずつ順次シフトしたパルス信号が、出力信号P12と出力信号P13の位相が一致するタイミングで得られる。このようにして、走査線の12番目と13番目の部分を同時に選択することができる。

【0056】以上説明した駆動方法により、部分的に走査線2ラインを同時に走査することができる。

【0057】本実施例では、ハーフビット構成走査回路の出力信号P ($2 \times N - 1$) の (Nは128以下の正の整数) 立ち上がるタイミングに対し、NANDゲート回路105- ($1 + 8 \times (N - 1)$) に入力する制御信号G1の立ち上がるタイミングをTあるいは ($2 \times T$) だけ遅らせている。また、NANDゲート回路105- ($4 + 8 \times (N - 1)$) に入力する制御信号G4の立ち

(11)

19

下がるタイミングに対し、ハーフビット構成走査回路の出力信号P(2×N-1)の立ち下がるタイミングを、Tあるいは(2×T)だけ遅らせている。また、ハーフビット構成走査回路の出力信号P(2×N)の立ち上がるタイミングに対し、NANDゲート回路105-(5+8×(N-1))に inputsする制御信号G5の立ち上がるタイミングをTあるいは(2×T)だけ遅らせている。また、NANDゲート回路105-(8×N)に inputsする制御信号G8の立ち下がるタイミングに対し、ハーフビット構成走査回路の出力信号P(2×N)の立ち下がるタイミングを、Tあるいは(2×T)だけ遅らせている。このようなタイミングで制御信号G1~G8を inputsすることによって、クロストークによって出力信号に現れるノイズを完全に消すことができる。

【0058】図8は、本発明の液晶表示装置の駆動方法の第7の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、ブランキング期間中において、余った上下の画素領域を黒書き込みする駆動方法の一例を示したものである。以下、図8を用いて、上・下それぞれ16ライン分の画素を黒表示書き込みする場合の駆動方法について説明する。

【0059】まず、ブランキング期間中において、ハーフビット構成走査回路104-1~104-257に、クロック周期がTHのクロック信号CLK、および入力端子a107からのパルス幅が(2×TH)の二つのパルス信号AおよびBを図に示すタイミングで inputsする。この時、パルス信号Aが立ち下がってから、パルス信号Bが立ち上がるまでの時間は、図に示すように、(124×TH)となっている。このように、クロック信号CLK、入力端子a107からの入力信号VSTaを inputsすることにより、ハーフビット走査回路104-1~104-257の出力信号P1~P256として、前記二つのパルス信号が、(TH/2)ずつ順次シフトした信号が、図に示すタイミングで出力される。一方、この期間においては、NANDゲート回路の制御信号G1~G8として、すべてローレベルの信号を inputsする。その結果、ハーフビット構成走査回路の出力信号P1~P256の論理レベルに関係なく、垂直駆動回路の出力信号は、ローレベルの状態となる。なお、この期間におけるクロック周波数(1/TH)は、映像信号書き込み期間におけるクロック周波数に比べて、3桁程度高くしている。

【0060】二つのパルス信号A、Bを、映像書き込み期間に比べて、3桁程度高い周波数で高速にシフトするこの期間に続いて、パルス信号Aが inputsされてから、

(128×TH)経過したところで、図に示すように、クロック信号のレベルをホールドする。これにより、ハーフビット構成走査回路の出力信号P1~P4、およびP253~256は、図に示すように、ハイレベルでホ

20

ールドされる。一方、この期間においては、NANDゲート回路に inputsする制御信号G1~G8として、図に示すように、ハイレベルの信号を inputsする。その結果、NANDゲート回路の制御信号G1~G8がハイレベルになっている期間だけ、垂直駆動回路の出力信号GP1~GP16、およびGP1009~GP1024がハイレベルとなる。この期間に、上・下それぞれ16ラインの画素に、黒表示信号が書き込まれる。通常、この黒書き込み期間として、黒表示信号が選択された画素に十分書き込めるだけの長い時間を設定する。また、パルス信号AおよびBのパルス幅を調整することで、黒表示書き込みを行うラインを調整することができる。

【0061】この上下黒書き込みの期間に続いて、クロック周期がTHのクロック信号を、再び、ハーフビット構成の走査回路104-1~104-257に inputsする。これによって、ハーフビット構成の走査回路104-1~104-257に保持されたデータが高速に掃き出される。一方、この期間においては、NANDゲート回路105-1~105-1024の制御信号G1~G8として、すべてローレベルの信号を inputsする。その結果、ハーフビット構成走査回路の出力信号P1~P256の論理レベルに関係なく、垂直駆動回路の出力信号は、ローレベルの状態となる。また、この期間中に、映像書き込み期間における走査パルス信号を発生させるために、パルス幅THのパルス信号Cを図に示すタイミングで inputsしてそのパルス信号Cを4段目まで転送しておく。これにより、映像書き込み期間においては、5段目から転送が始まり、垂直駆動回路の出力としては、映像表示領域である17番目の走査線から走査が始まることになる。

【0062】図9は、本発明の液晶表示装置の駆動方法の第8の実施例を示す図である。本実施例は、第7の実施例と同様に、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、ブランキング期間中において、余った上下の画素領域を黒書き込みする駆動方法の一例を示したものであるが、上15ライン、下17ライン分の画素を黒表示書き込みする点で、第7の実施例とは異なる。すなわち、本実施例は、第7の実施例の状態から、映像表示装置を1ライン上に移動させた時の駆動方法を示したものである。この駆動方法は、映像表示領域を自由に移動させたい時などに使用する。以下、その駆動方法について説明する。

【0063】まず、ブランキング期間中において、ハーフビット構成走査回路104-1~104-257に、クロック周期がTHのクロック信号CLK、入力パルス信号AおよびBを図に示すタイミングで inputsする。この時、パルス信号Aが立ち下がってから、パルス信号Bが立ち上がるまでの時間は、図に示すように、(124×TH)となっている。このように、クロック信号CL

(12)

21

K, 入力信号VSTaを入力することにより、ハーフビット走査回路104-1~104-257の出力信号P1~P256として、前記二つのパルス信号が、(TH/2)ずつ順次シフトした信号が、図に示すタイミングで出力される。一方、この期間においては、NANDゲート回路105-1~105-1024の制御信号G1~G8として、すべてローレベルの信号を入力する。その結果、ハーフビット構成走査回路の出力信号P1~P256の論理レベルに関係なく、垂直駆動回路の出力信号は、ローレベルの状態となる。なお、この期間におけるクロック周波数(1/TH)は、映像信号書き込み期間におけるクロック周波数に比べて、3桁程度高くしている。

【0064】二つのパルス信号A, Bを、映像書き込み期間に比べて、3桁程度高い周波数で高速にシフトするこの期間に続いて、パルス信号Aが入力されてから、(127×TH)経過したところで、図に示すように、クロック信号のレベルをホールドする。これにより、ハーフビット構成走査回路の出力信号P1~P3、およびP252~256は、図に示すように、ハイレベルでホールドされる。この期間を第1の黒書き込み期間とする。一方、この期間においては、NANDゲート回路に入力する制御信号G1~G4、およびG8をハイレベル、G5~G7をローレベルにしておく。その結果、垂直駆動回路の出力信号GP1~GP4, GP8, GP9~GP12, GP1008, GP1009~GP1012, GP1016, GP1017~GP1020, GP1024がハイレベルの状態となる。この期間において、黒表示すべき部分の一部について、黒表示書き込みが行われる。

【0065】この第1の黒書き込み期間に続いて、クロック信号のレベルを図に示すように切り換える。これにより、ハーフビットの走査回路104-4の出力信号P4が、ローレベルからハイレベルに切り変わり、ハーフビット走査回路104-252の出力信号P252がハイレベルからローレベルに切り換わる。その結果、ハーフビット構成走査回路の出力信号P1~P4、およびP253~P256がハイレベル状態になる。この期間においては、NANDゲート回路105-1~105-1024の制御信号G1~G8として、すべて、ローレベルの信号を入力し、ハーフビット構成走査回路の出力信号P1~P256の論理レベルに関係なく、垂直駆動回路102の出力信号を、ローレベルの状態にしておく。

【0066】この期間に続いて、クロック信号の論理レベルを保持したまま、NANDゲート回路に入力する制御信号G1~G7をハイレベル、G8をローレベルにしておく。その結果、垂直駆動回路の出力信号GP1~GP7, GP9~GP15, GP1009~GP10105, GP1017~GP1023がハイレベルの状態となる。この期間において、黒表示すべき部分の一部につ

22

いて、黒表示書き込みが行われる。この期間を、第2の黒書き込み期間とする。

【0067】この第1, 第2の上下黒書き込みの期間に続いて、クロック周期がTHのクロック信号を、再び、ハーフビット構成の走査回路104-1~104-257に入力する。これによって、ハーフビット構成の走査回路104-1~104-257に保持されたデータが高速に掃き出される。一方、この期間においては、NANDゲート回路105-1~105-1024の制御信号G1~G8として、すべてローレベルの信号を入力する。その結果、ハーフビット構成走査回路の出力信号P1~P256の論理レベルに関係なく、垂直駆動回路の出力信号は、ローレベルの状態となる。また、この期間中に、映像書き込み期間における走査パルス信号を発生させるために、パルス幅THのパルス信号Cを図に示すタイミングで入力し、そのパルス信号Cを4段目まで転送しておく。この後、クロック周波数を変調し、論理ゲート回路に入力する制御信号として、G8, G1, G2, ..., G7の順番で、位相が順次シフトしたパルス信号を入力する。垂直駆動回路の出力としては、映像表示領域である16番目の走査線から走査が始まることになる。

【0068】以上説明したような駆動方法により、1ライン単位で映像表示位置を移動させることができる。

【0069】図10は、本発明の液晶表示装置の駆動方法の第9の実施例を示す図である。本実施例は、第7の実施例と同様に、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、ブランキング期間中において、余った上下の画素領域を黒書き込みする別の駆動方法の一例を示したものである。以下、図10を用いて、上・下それぞれ16ライン分の画素を黒表示書き込みする場合の駆動方法について説明する。

【0070】まず、ブランキング期間中において、ハーフビット構成走査回路104-1~104-257に、クロック周期がTLのクロック信号CLK、および入力端子a107からのパルス幅が(2×TL)の入力パルス信号VSTaを図に示すタイミングで入力する。これにより、ハーフビット走査回路104-1~104-257の出力信号として、前記入力パルス信号が、(TL/2)ずつ順次シフトした信号が、図に示すタイミングで出力されていく。この際、TLは、走査線の選択期間Tと同程度の長さになっている。また、クロック信号は、図に示すように、3クロック進んだところでレベルをホールドしておく。そのため、ハーフビット構成走査回路の出力信号P5およびP6は、ハイレベルに保持された状態になっている。一方、この期間において、NANDゲート回路の制御信号G1~G4として、ハーフビット走査回路の出力信号P1およびP3のパルス信号が出力されている期間をカバーするように、図に示すタイミン

(13)

23

グで、ハイレベル信号を入力する。また、NANDゲート回路105-1~105-1024の制御信号G5~G8として、ハーフビット走査回路の出力信号P2およびP4のパルス信号が出力されている期間をカバーするように、図に示すタイミングで、ハイレベル信号を入力する。その結果、垂直駆動回路の出力信号GP1~GP16として、3ラインおきに、位相が($TL/2$)ずつ順次シフトした、パルス幅TLのパルス信号が得られる。このシフト期間中に、4ラインずつ、順番に上部黒表示書き込みを行う。

【0071】上部黒表示書き込みを行うこの期間に続いて、ハーフビット構成走査回路104-1~104-257に入力するクロック信号のクロック周期を($8 \times T$)に変調する。その結果、ハーフビット走査回路104-5, 104-6のところで保持されていたデータのシフトが再び始まり、ハーフビット走査回路104-7の出力信号P7以降では、パルス幅が($8 \times T$)、位相が($4 \times T$)ずつ順次シフトしたパルス信号が出力される。一方、この期間においては、NANDゲート回路105-1~105-1024の制御信号G1~G8として、パルス幅がT、パルス周期が($8 \times T$)、位相がTずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。その結果、出力バッファ回路106の出力信号GP17~GP1008として、周期TのパルスがTずつ順次シフトしたパルス信号が得られる。この期間に、映像信号の書き込みを行う。

【0072】映像書き込み期間に続いて、ハーフビット走査回路104-253の出力信号P253に、パルス信号が転送されたところで、図に示すようにクロック信号のレベルをホールドし、それに続いて、クロック周期がTLのクロック信号を入力する。これにより、ハーフビット走査回路104-252, 104-253のところで保持されていたデータが再びシフトを開始し、ハーフビット走査回路の出力信号P254~P256として、パルス幅がTLで、位相が($TL/2$)ずつ順次シフトしたパルス信号が出力される。この期間において、NANDゲート回路に入力する制御信号G1~G4、およびG5~G8として、図に示すタイミングで、ハイレベル信号を入力する。その結果、出力バッファ回路106の出力信号GP1009~GP1024として、3ラインおきに、位相が($TL/2$)ずつ順次シフトした、パルス幅TLのパルス信号が得られる。このシフト期間中に、4ラインずつ、順番に下部黒表示書き込みを行う。本発明の液晶表示装置は、このように、黒表示書き込みを4ラインずつ行うことができる構成となっているので、黒表示書き込みの時間が4倍長くなり、黒信号を書き込むことが可能となっている。

【0073】本実施例の液晶表示装置は、多結晶シリコン薄膜トランジスタをガラス基板上に集積した作製したものである。垂直駆動回路、および水平駆動回路はCM

24

OSスタティック回路で構成したが、CMOSダイナミック回路で構成することも可能である。また、本実施例では、多結晶シリコン薄膜トランジスタを用いたが、半導体層にアモルファスシリコンやカドミウムセレン等を採用した他の薄膜トランジスタで形成することも可能である。また、単結晶シリコンMOSトランジスタで構成することも可能である。

【0074】

【発明の効果】以上説明したように本発明の液晶表示装置およびその駆動方法を適用すれば、マルチシンク液晶表示装置の垂直駆動回路に入力する制御端子の数を3/5から半分程度まで削減することができるので、マルチシンク液晶表示装置の小型化、低コスト化を図る上で極めて有効である。

【0075】さらに、制御信号のクロストークによるノイズが、全く発生しないので、液晶表示装置を安定に動作させることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の実施例を示す図である。

【図2】本発明の液晶表示装置の駆動方法の第1の実施例を示す図である。

【図3】本発明の液晶表示装置の駆動方法の第2の実施例を示す図である。

【図4】本発明の液晶表示装置の駆動方法の第3の実施例を示す図である。

【図5】本発明の液晶表示装置の駆動方法の第4の実施例を示す図である。

【図6】本発明の液晶表示装置の駆動方法の第5の実施例を示す図である。

【図7】本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。

【図8】本発明の液晶表示装置の駆動方法の第7の実施例を示す図である。

【図9】本発明の液晶表示装置の駆動方法の第8の実施例を示す図である。

【図10】本発明の液晶表示装置の駆動方法の第9の実施例を示す図である。

【図11】従来の液晶表示装置を示す図である。

【図12】従来の液晶表示装置の駆動方法の一例を示す図である。

【符号の説明】

101 アクティブマトリクスアレイ

102 垂直駆動回路

103 水平駆動回路

104-1~104-257 ハーフビット走査回路

105-1~105-1024 NANDゲート回路

106 バッファ回路

107 入力端子a

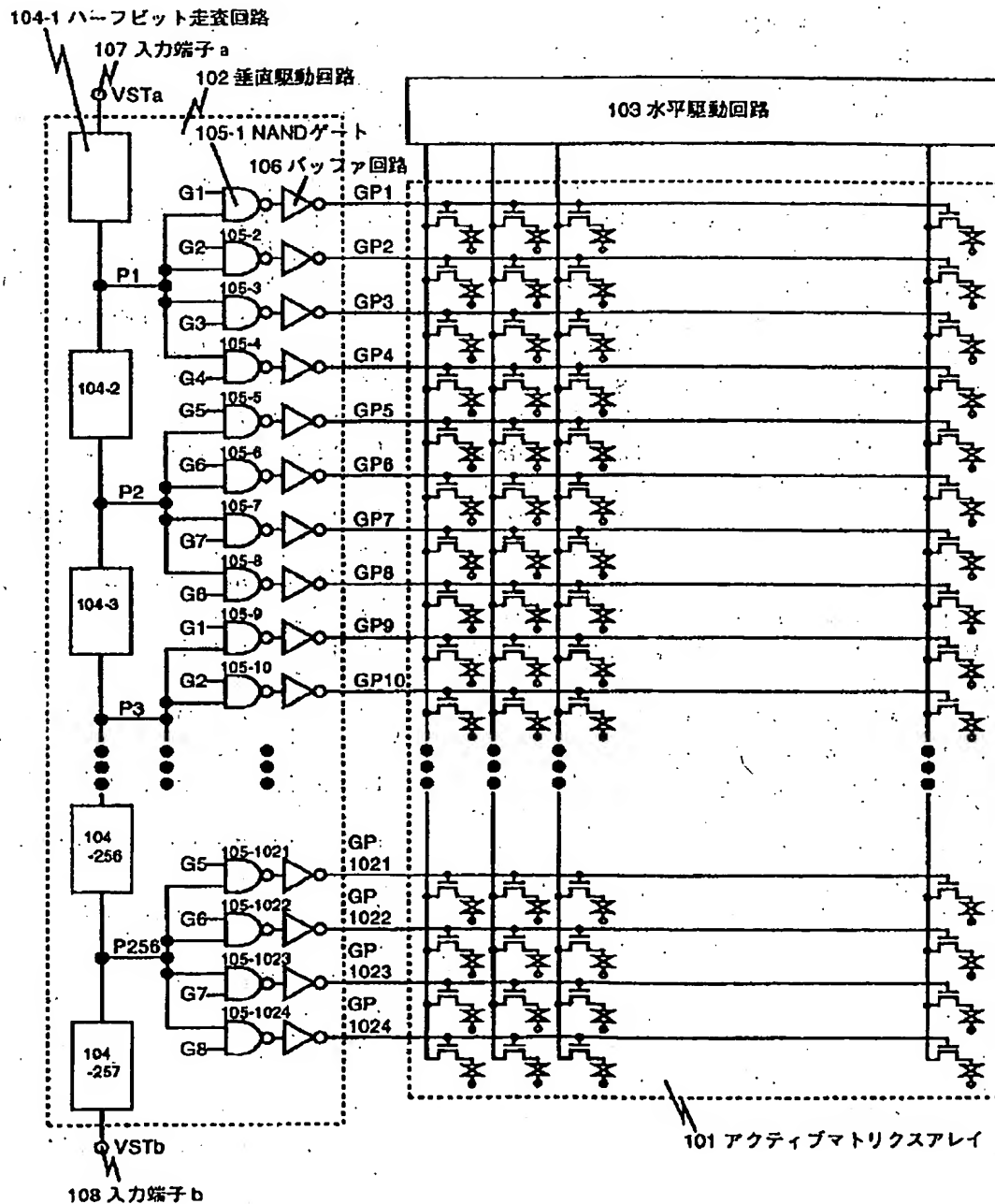
108 入力端子b

(14)

25
1101 アクティブマトリクスアレイ
1102 垂直駆動回路

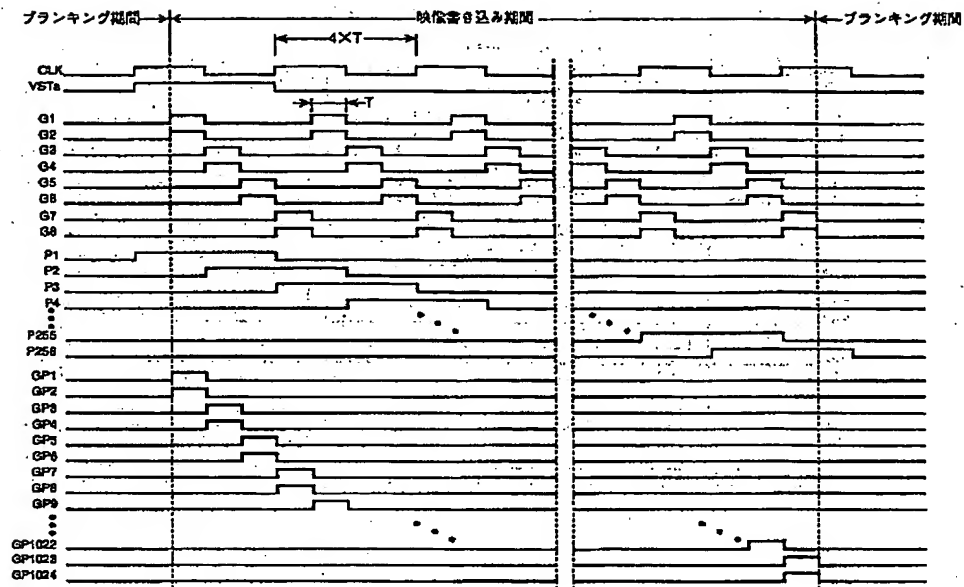
26
1103 水平駆動回路
1104 アドレスデコーダ

【図1】

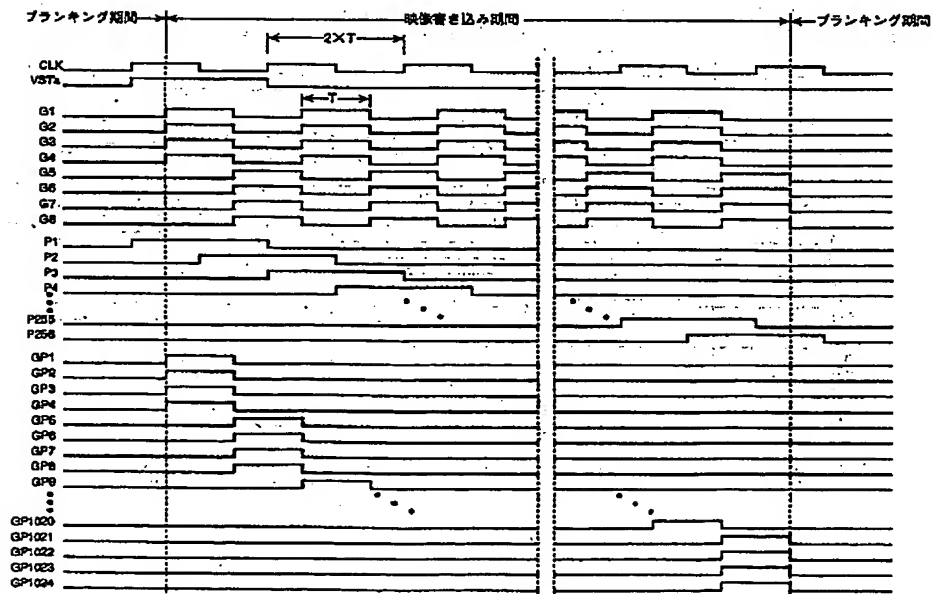


(16)

【図4】

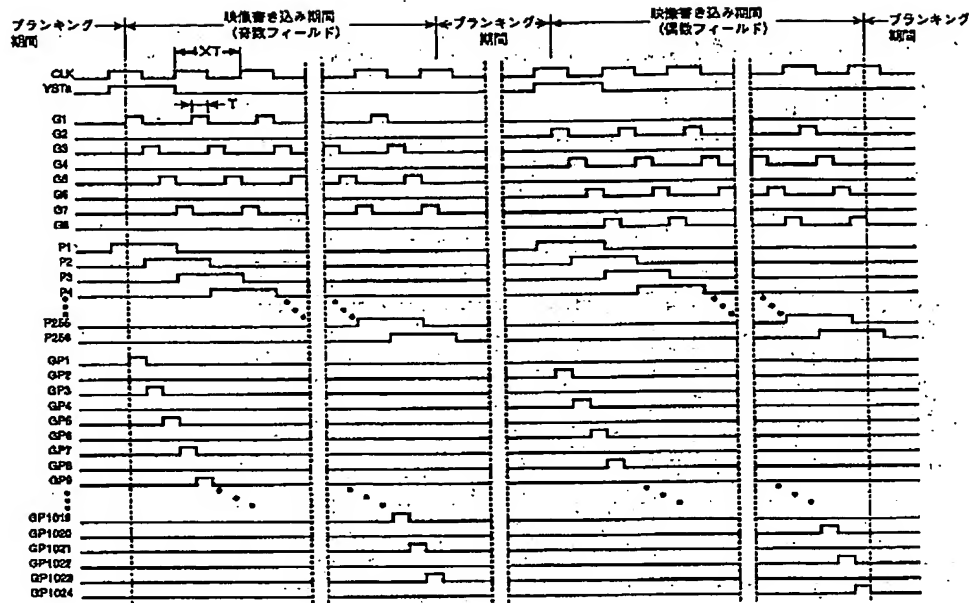


【図5】

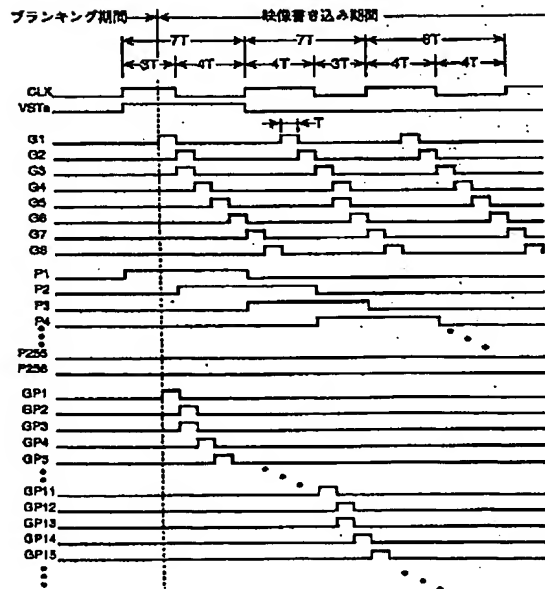


(17)

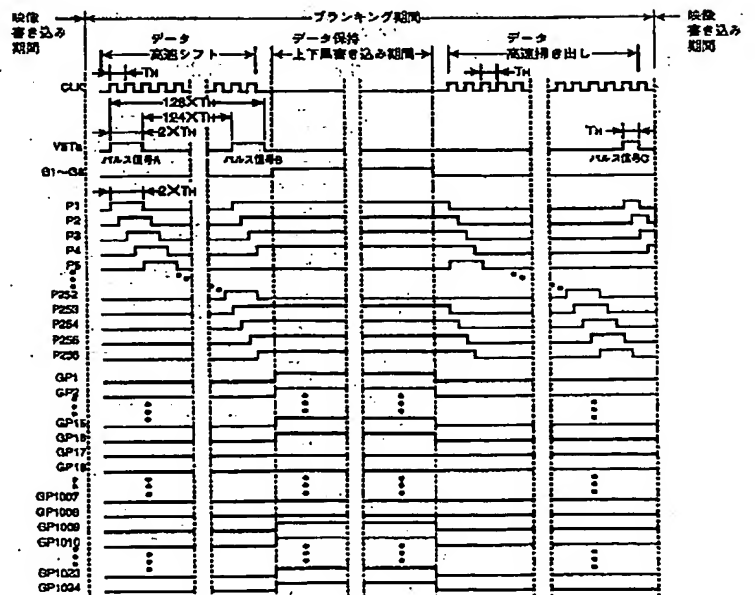
【図6】



【図7】

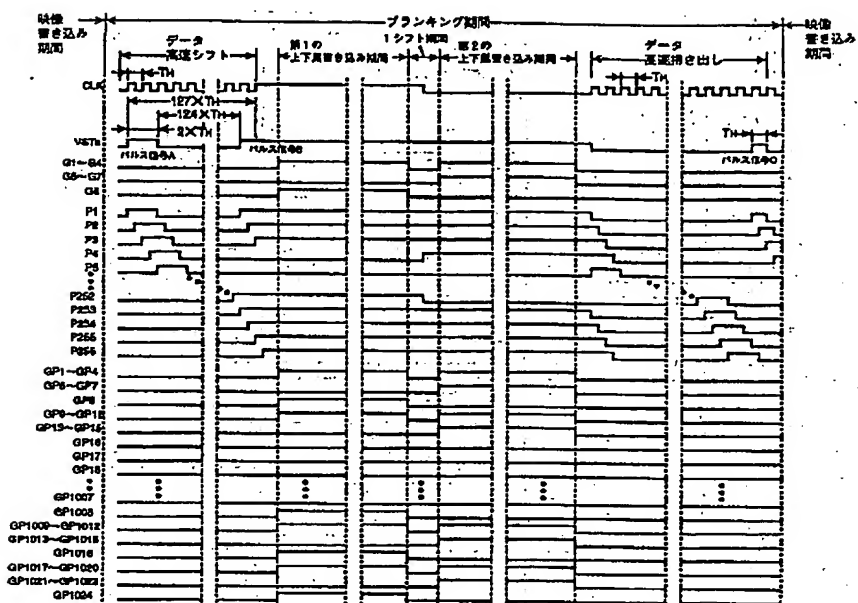


【図8】

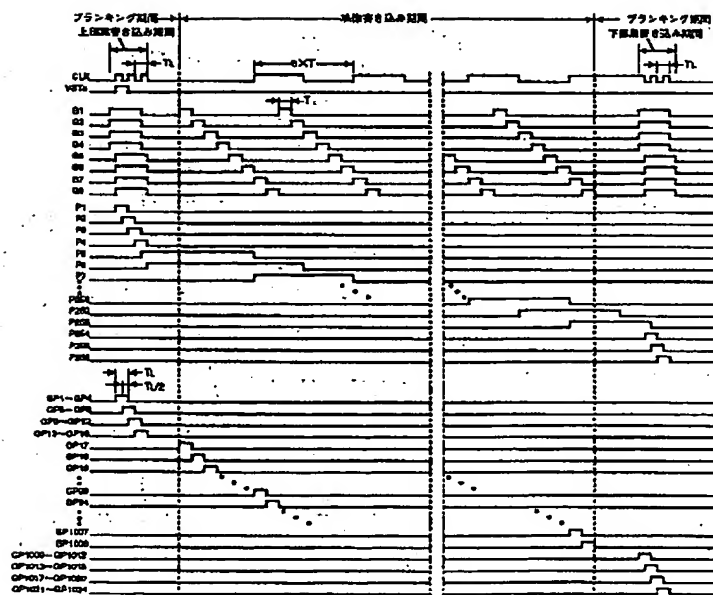


(18)

【図9】

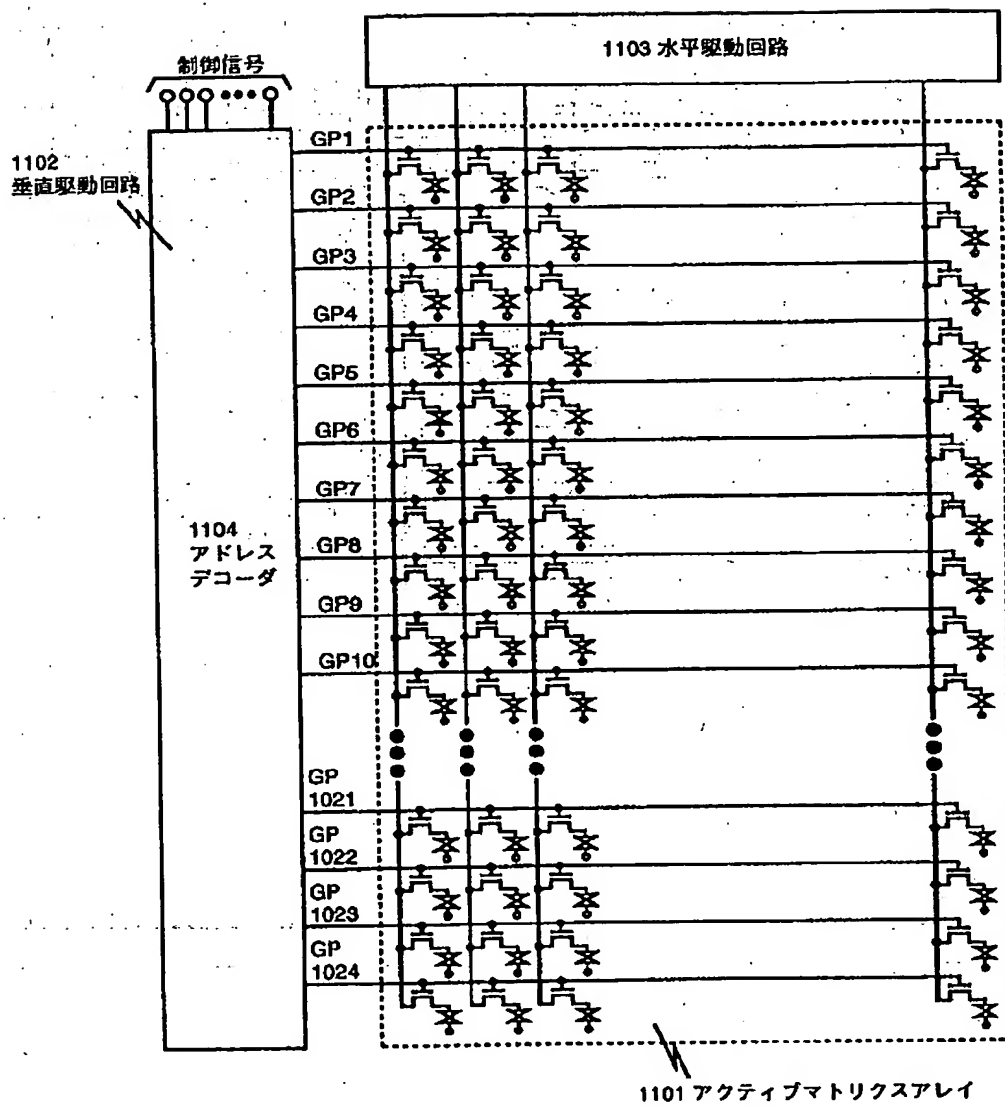


【図10】



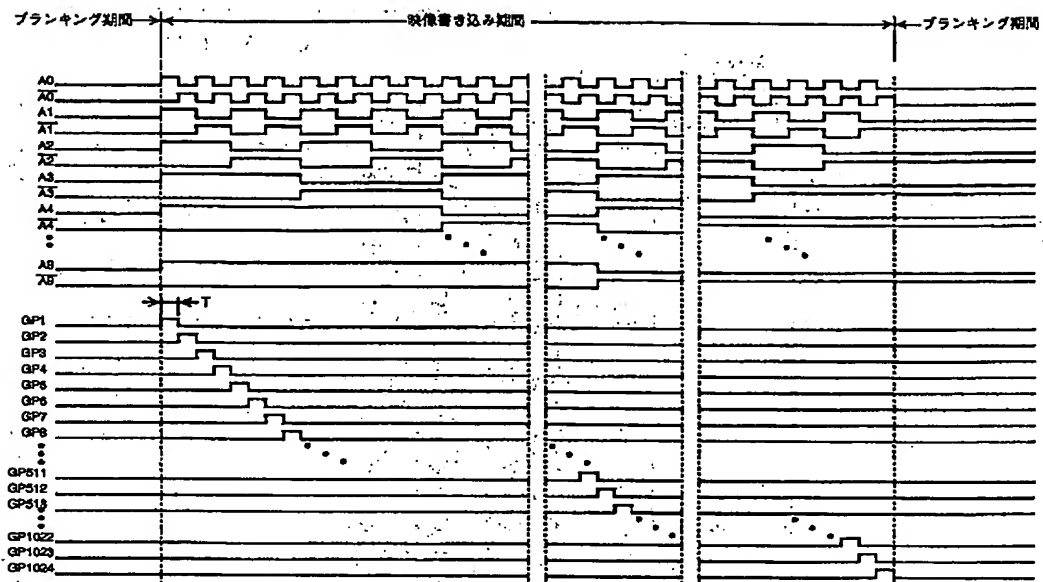
(19)

【図11】



(20)

【図12】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-253232

(43)Date of publication of application : 12.10.1990

(51)Int.Cl. G02F 1/133
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 01-073912

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.03.1989

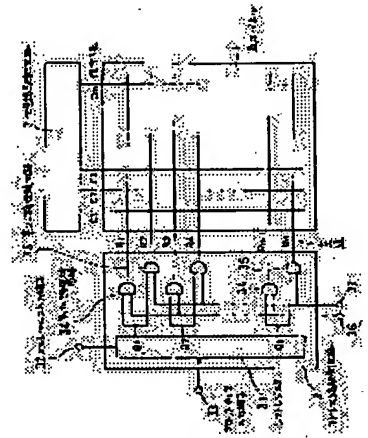
(72)Inventor : KASAHARA KOICHI

(54) DRIVING CIRCUIT FOR MATRIX DISPLAY PANEL

(57)Abstract:

PURPOSE: To offer an integrated circuit element for driving a matrix display panel which can correspond to every method and system regardless of the address line drawing method and the scanning driving system of the display panel by making a circuit for driving an address line equipped with a shift register, 1st and 2nd AND or OR circuit groups and providing control input terminals connected in common every AND or OR circuit group.

CONSTITUTION: An address line driving circuit 3 is provided with the shift register and a gate group. Namely, it is provided with the shift register 31, the 1st AND circuit group 34 and the 2nd AND circuit group 35. A start pulse input terminal 32, a clock pulse input terminal 33, output terminals Q1, Q2...Qk at respective stages of the shift register 31 and the control input terminals 36 and 37 for the 1st AND circuit group 34 and the 2nd AND circuit group 35 are provided. The address line driving circuit is thus constituted, so that it is applied for the display panel where the address lines are separated to odd rows and even rows to be drawn out to two sides and interlace scanning driving and non-interlace scanning driving are executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]